

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270797

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 27/10

(21)Application number : 2001-064757

(71)Applicant : SONY CORP

(22)Date of filing : 08.03.2001

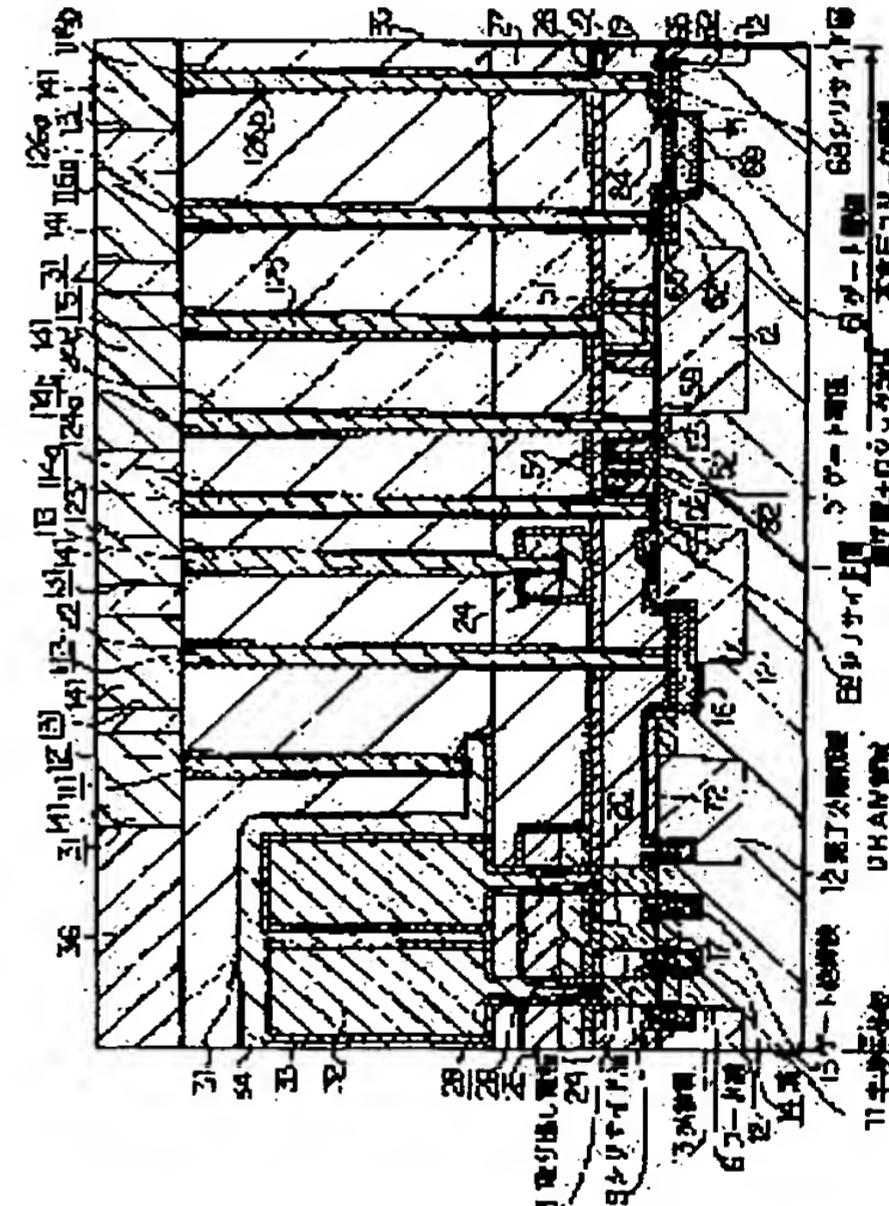
(72)Inventor : UMEBAYASHI HIROSHI

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To stabilize transistor characteristics by a method which in a DRAM, the resistance of word line is lowered, junction leakage is suppressed, contact resistance due to increase in the contact area of a diffusion layer with a extraction electrode is reduced, a DRAM cell is reduced, the breakdown strength between the word line and the extraction electrode is ensured and by extending the effective channel length.

**SOLUTION:** The transistor of a memory element provided with a diffusion layer 13 which is formed on the surface of a semiconductor substrate 11, the word line 16 which is formed inside a groove 14 formed on the semiconductor substrate 11 which includes the diffusion layer 13 and the extraction electrode 21 which is connected to the diffusion layer 13 in a state of being overlapped with the word line 16 via a first insulation film 19 and the transistor of a logic element in which silicide layers 58, 68 are formed on diffusion layers 55, 65 are formed on the same semiconductor substrate 11. In at least one transistor of the logic element, a gate electrode 51 is formed inside the groove 14 which is formed on the semiconductor substrate 11.



## LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-270797

(P2002-270797A)

(43)公開日 平成14年9月20日 (2002.9.20)

(51)Int.Cl.<sup>7</sup>

H 01 L 27/108  
21/8242  
27/10

識別記号

4 6 1

F I

H 01 L 27/10

テマコード(参考)

4 6 1 5 F 0 8 3  
6 7 1 Z  
6 2 1 B

審査請求 未請求 請求項の数4 OL (全20頁)

(21)出願番号

特願2001-64757(P2001-64757)

(22)出願日

平成13年3月8日 (2001.3.8)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 梅林 拓

東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(74)代理人 100086298

弁理士 船橋 國則

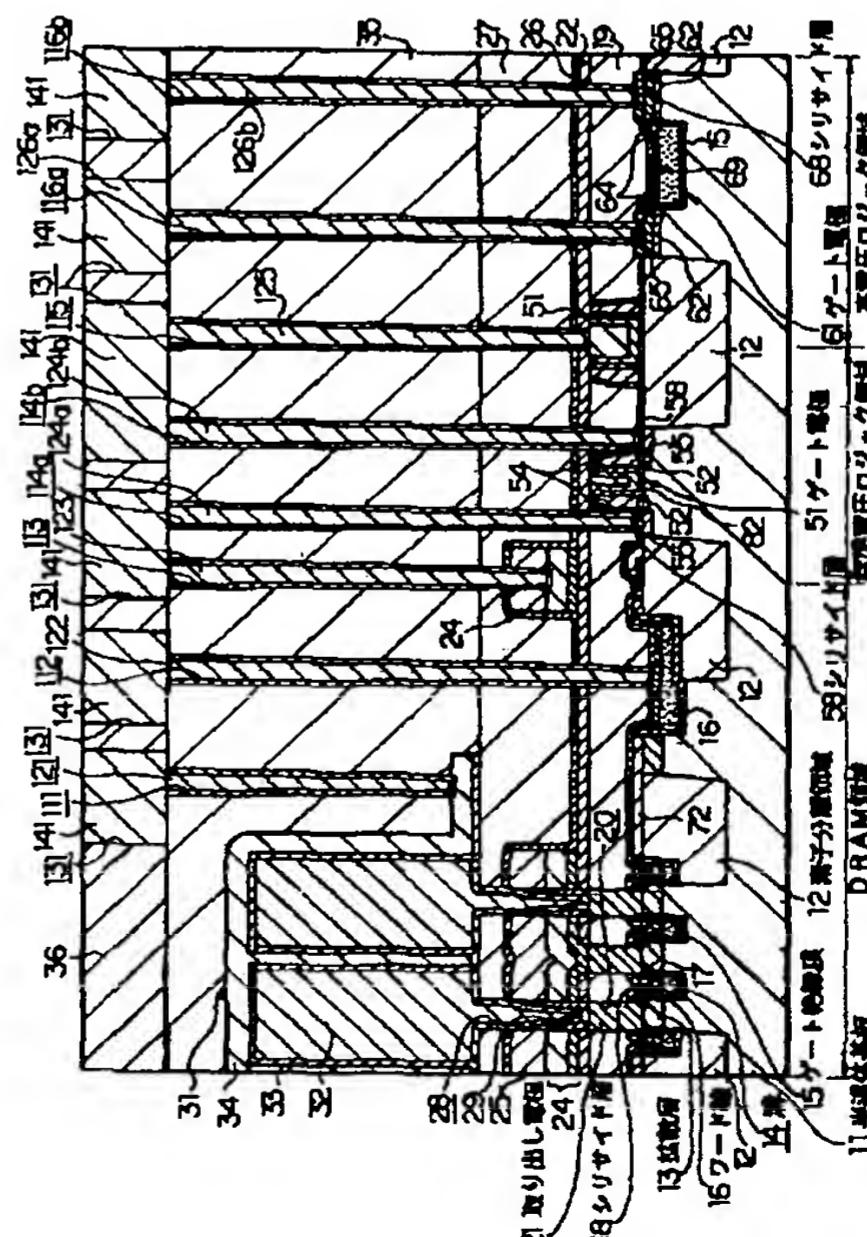
Fターム(参考) 5F083 AD01 AD42 AD48 AD49 GA02  
GA06 GA09 GA24 JA14 JA35  
JA37 JA38 JA39 JA40 JA43  
JA53 KA01 MA06 MA17 NA01  
PR34 PR36 PR39 ZA12 ZA28

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 DRAMにおいて、ワード線の低抵抗化、接合リードの抑制、拡散層と取り出し電極との接触面積の増大によるコンタクト抵抗の低減とDRAMセルの縮小化、ワード線・取り出し電極間の耐圧確保を図り、実効チャネル長を延ばすことで短チャネル効果を抑制しトランジスタ特性の安定化を図る。

【解決手段】 半導体基板11表面に形成した拡散層13と、拡散層13を含む半導体基板11に形成された溝14内にワード線16と、第1の絶縁膜19を介してワード線16上にオーバラップする状態で拡散層13に接続される取り出し電極21とを備えたメモリ素子のトランジスタと、拡散層55、65上層にシリサイド層58、68を形成したロジック素子のトランジスタとが同一半導体基板11に形成され、ロジック素子のトランジスタの少なくとも一つは、半導体基板11に形成された溝14内にゲート電極51が形成されたものからなる。



1

## 【特許請求の範囲】

【請求項1】 メモリ素子とロジック素子とを同一半導体基板上に形成した半導体装置において、前記メモリ素子のトランジスタは、半導体基板および該半導体基板に形成された素子分離領域に形成された溝内にゲート絶縁膜を介して埋め込まれたワード線と、前記溝側壁の前記半導体基板表面側に形成した拡散層と、前記ワード線上層に形成されたシリサイド層と、前記ワード線上に絶縁膜を介して前記ワード線にオーバラップする状態で前記拡散層に接続される取り出し電極とを備えたもので、前記ロジック素子のトランジスタは、前記ロジック素子のトランジスタの拡散層上層にシリサイド層を備えたもので、前記ロジック素子のトランジスタの少なくとも一つは、前記半導体基板に形成された溝内にゲート電極が形成されたものからなることを特徴とする半導体装置。

【請求項2】 前記拡散層は深さ方向に不純物濃度が薄くなることを特徴とする請求項1記載の半導体装置。

【請求項3】 メモリ素子とロジック素子とを同一半導体基板上に形成する半導体装置の製造方法において、半導体基板に素子分離領域を形成した後、該半導体基板表面側にメモリ素子領域の拡散層を形成する工程と、半導体基板および前記素子分離領域におけるメモリ素子領域および第1のロジック素子領域の所定位置に溝を形成する工程と、前記溝内にゲート絶縁膜を形成する工程と、メモリ素子領域の前記溝の上部を残した状態で溝内を埋め込むワード線を形成する工程と、前記ワード線と同一層で第2のロジック素子領域の前記半導体基板上にダミーゲートを形成するとともに、第1のロジック素子領域の溝内にゲート電極を形成する工程と、前記第1、第2のロジック素子領域の前記半導体基板にロジックトランジスタの拡散層を形成する工程と、前記ワード線上の前記溝側壁にサイドウォール絶縁膜を形成する工程と、前記ワード線上層および前記第1、第2のロジック素子領域の拡散層上層にシリサイド層を形成する工程と、前記溝の上部を埋め込むとともに前記ダミーゲートを覆うように絶縁膜を形成する工程と、前記ワード線上に前記絶縁膜を介して前記ワード線にオーバラップする状態で前記拡散層に達する接続孔を形成する工程と、前記接続孔内に取り出し電極を形成する工程と、前記絶縁膜表面を平坦化するとともに前記ダミーゲートの上部を露出させる工程と、前記取り出し電極を活性化する熱処理を行う工程と、

10

20

30

40

50

2

前記ダミーゲートを除去してゲート溝を形成する工程と、

前記ゲート溝にゲート絶縁膜を介してゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項4】 前記拡散層は深さ方向に不純物濃度が薄くなるように形成することを特徴とする請求項3記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関し、詳しくはDRAM (Dynamic Random Access Memory) とロジック素子とを混載した半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 年々加速される微細化競争によって、特に大容量のDRAMと高速ロジック素子とを1チップに搭載する複合デバイスの開発が行われている。その構成の一例としては、DRAMのメモリセルゲートを基板の上に積み上げ、メモリセルトランジスタの拡散層の取り出しには、いわゆるセルフアラインコンタクトを用い、一方、ロジック素子はセルフアラインコンタクトを用いずに形成するという構成のものである。

## 【0003】

【発明が解決しようとする課題】 しかしながら、積み上げ型のDRAMもさまざまな問題が顕在化してきている。

【0004】 トランジスタ性能を維持するため、DRAMメモリセルの縮小とともに基板濃度はますます高くなっている。このため、メガビット級のDRAMでの接合リーキの抑制が困難になってきている。すなわち、従来は余裕を持って制御可能であったDRAMのデータ保持特性の維持が困難なものとなってきた。このままでは世代ごとにキャパシタ容量を増大させていくしか有効な手段が見当たらない。

【0005】 また、DRAMセルの縮小化にともない、拡散層と取り出し電極との接触面積が狭くなり、世代ごとに2倍の勢いでコンタクト抵抗が上昇するようになっている。0.1μm以降の世代では、このコンタクト抵抗が数キロΩになることが予想され、メモリセルのワードトランジスタのオン抵抗に匹敵してくるようになると予想される。したがって、セルトランジスタのみならず、このコンタクト抵抗のばらつきがDRAM動作に厳しく影響してくるようになり、製造上、一層の精密性が要求されるようになって来ている。

【0006】 また、DRAMセルの縮小化にともない、ワード線とその脇に形成される拡散層の取り出しコンタクトとの層間絶縁距離は世代ごとに近づきつつある。メガビット級のDRAMを製造する上で、この耐圧を確保

するためには20nm～30nmが限界の距離といわれている。そのため、0.1μm以降の世代のDRAMでは、この耐圧限界距離以下の距離で拡散層の取り出しびンタクトを形成することが必要になってしまう。

【0007】従来は、タングステンシリサイド(WSi<sub>2</sub>)／ドープトポリシリコンのポリサイド構造の採用で遅延を押さえてきたDRAMのワード線も、近年の微細化とともに、アスペクト比も厳しくなり、また、ワード線の遅延を抑えるための十分な低抵抗を得ることが困難となってきた。特に高速動作を要求される積み上げDRAMなどでは、このワード線遅延がDRAMのアクセスタイムに影響する深刻な問題となる。ゲートの抵抗を下げる技術として、シリサイドによる配線の低抵抗化が実用化されている。しかしながら、DRAMメモリセルのゲートに適用するためには、オフセット酸化シリコン膜を使えなくなることによるDRAMメモリセル縮小化の障害とデータ保持特性の維持のために、DRAMの拡散層にはシリサイドを形成しないプロセスを必要とするなどの困難から通常は採用できない。

【0008】一方、ロジック部のトランジスタ性能の向上も目覚しく、0.1μm以降の世代のロジックトランジスタでは、そのゲート長が50nm～70nm、ゲート絶縁膜が1.5nm以下の極薄膜を形成することが要求されるようになると予想される。この厚さ以下から、従来から用いられてきた良質な絶縁膜である酸化シリコン(SiO<sub>2</sub>)の適用が限界となり、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化アルミニウム、BST(BaTiO<sub>3</sub>とSrTiO<sub>3</sub>との混晶)等の新たな絶縁膜の適用が不可欠になると予想されている。

【0009】上記酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化アルミニウム、BST等の絶縁材料からなるゲート絶縁膜は、拡散層の活性化に必要な熱処理を避けるため、またゲート電極を形成する際のプラズマダメージを回避するために、拡散層を形成した後にダミーゲートを置き換えるリプレースメントゲート電極が提案されている。このリプレースメントゲート電極構造であっても、従来のポリシリコンゲート電極で問題となる空乏化抑制のために、比較的耐熱性の低い上記材料の採用が必要となってくると予想される。

【0010】また、上記リプレースメントゲートの製造プロセスでは、ダミーゲート上を化学的機械研磨(以下CMPという、CMPはChemical Mechanical Polishing)によって露出させる工程をともなうため、ゲート電極上部にセルフアラインコンタクトとキャパシタを形成するスタック型のDRAMセルとは整合性が良くなく、また、DRAMのコンタクト活性化に必要な熱処理に対しても整合性が良くない。

【0011】また、この世代でもアナログ回路、外部との高電圧インターフェイス(V<sub>pp</sub>; 1.5V～2.5

V)、DRAM動作に必要なワード線昇圧用の回路等には、その電圧ゆえに、上記新材料による高誘電体ゲート絶縁膜以外の従来の酸化シリコン系のロジック回路も同一チップに混載する必要があった。

【0012】このように、現在の0.18μm世代では、何とか許容できている技術であっても、今後の0.1μm世代以降では、何らかの対策が必要となり、チップの性能トレンドを維持するためには、積み上げ型のDRAM構造の抜本的な改良が必要となると予想される。

【0013】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法である。

【0014】本発明の半導体装置は、メモリ素子とロジック素子とを同一半導体基板上に形成した半導体装置において、前記メモリ素子のトランジスタは、半導体基板および該半導体基板に形成された素子分離領域に形成された溝内にゲート絶縁膜を介して埋め込まれたワード線と、前記溝の側壁の前記半導体基板表面側に形成した拡散層と、前記ワード線上層に形成されたシリサイド層と、前記ワード線上に絶縁膜を介して前記ワード線にオーバラップする状態で前記拡散層に接続される取り出し電極とを備えたもので、前記ロジック素子のトランジスタは、このトランジスタの拡散層上層にシリサイド層を備えたもので、前記ロジック素子のトランジスタの少なくとも一つは、前記半導体基板に形成された溝内にゲート電極が形成されたものからなる。また、前記拡散層は深さ方向に不純物濃度が薄くなるものからなる。

【0015】上記半導体装置では、ワード線上層にシリサイド層が形成されていることから、ワード線の抵抗が低減され、遅延の問題が回避される。また、ロジック素子の拡散層上にシリサイド層が形成されていることから、この拡散層へのコンタクト抵抗が低減される。

【0016】また、半導体基板表面側に拡散層が形成され、その半導体基板に形成された溝内にゲート絶縁膜を介してワード線が埋め込まれていることから、チャネルはワード線が形成されている溝底部側の半導体基板を廻り込むように形成される。そのため、実効的なチャネル長が十分に確保されるため、バックバイアスを印加して、短チャネル効果が厳しいメモリ素子(例えばDRAM)のトランジスタ特性が安定化される。

【0017】また、ゲート絶縁膜を介して半導体基板に形成された溝内に埋め込まれたワード線上に、絶縁膜を介してこのワード線にオーバラップする状態で、半導体基板表面に形成した拡散層に接続される取り出し電極が形成されていることから、ワード線の絶縁膜を20nm～30nm以上の十分な膜厚を確保することが可能になる。それによって、拡散層に接続される取り出し電極との耐圧が確保される。そのため、メモリ素子の拡散層上の全面がコンタクトに使用されるので、実効面積を有

効に使用できる。よって、セルデザインで実現可能な最低の抵抗値が実現されるので、コンタクト抵抗の低減が図れる。

【0018】また、メモリ素子領域の拡散層は、その深さ方向に不純物濃度が薄くなっていることから、メモリ素子領域の拡散層下部の半導体基板濃度をセルトランジスタに要求されるほどに濃くしなくともよいので、接合の電界が緩和され、メモリ素子のセル縮小化にともない厳しくなるデータ保持特性の性能が維持される。

【0019】また、ロジック領域の高駆動力トランジスタを実現するためのリプレースメントゲート電極を有するロジックトランジスタとメモリ素子との1チップ化が実現される。これによって、ロジック領域のゲートは、熱処理に対するケアが不要となり、ゲート絶縁膜に高誘電率材料を用いることが可能となり、ゲート電極をポリメタル構造または金属材料で形成することが可能になる。

【0020】また、アナログ回路や外部インターフェイス、メモリ素子のワード線昇圧に必要な高電圧動作を可能にする高電圧ロジック素子を標準電圧ロジック素子とともに一つの半導体基板に混載することが可能になる。

【0021】本発明の半導体装置の製造方法は、メモリ素子とロジック素子とを同一半導体基板上に形成する半導体装置の製造方法において、半導体基板に素子分離領域を形成した後、該半導体基板表面側にメモリ素子領域の拡散層を形成する工程と、半導体基板および前記素子分離領域におけるメモリ素子領域および第1のロジック素子領域の所定位置に溝を形成する工程と、前記溝内にゲート絶縁膜を形成する工程と、メモリ素子領域の前記溝の上部を残した状態で溝内を埋め込むワード線を形成する工程と、前記ワード線と同一層で第2のロジック素子領域の前記半導体基板上にダミーゲートを形成するとともに、第1のロジック素子領域の溝内にゲート電極を形成する工程と、前記第1、第2のロジック素子領域の前記半導体基板にロジックトランジスタの拡散層を形成する工程と、前記ワード線の前記溝側壁にサイドウォール絶縁膜を形成する工程と、前記ワード線上層および前記第1、第2のロジック素子領域の拡散層上層にシリサイド層を形成する工程と、前記溝の上部を埋め込むとともに前記ダミーゲートを覆うように絶縁膜を形成する工程と、前記ワード線上に前記絶縁膜を介して前記ワード線にオーバラップする状態で前記拡散層に達する接続孔を形成する工程と、前記接続孔内に取り出し電極を形成する工程と、前記絶縁膜表面を平坦化するとともに前記ダミーゲートの上部を露出させる工程と、前記取り出し電極を活性化する熱処理を行う工程と、前記ダミーゲートを除去してゲート溝を形成する工程と、前記ゲート溝にゲート絶縁膜を介してゲート電極を形成する工程とを備えている。また、前記拡散層は深さ方向に不純物濃度が薄くなるように形成する。

10

20

30

40

50

【0022】上記半導体装置の製造方法では、ワード線上層にシリサイド層を形成することから、ワード線の抵抗が低減され、遅延の問題が回避される。また、ロジック素子の拡散層上にシリサイド層を形成することから、この拡散層へのコンタクト抵抗が低減される。

【0023】また、半導体基板表面側にメモリ素子領域の拡散層を形成し、この半導体基板にゲート絶縁膜を介してワード線を埋め込むように形成することから、チャネルはワード線（ゲート電極）が形成されている溝底部側の半導体基板を廻り込むように形成される。そのため、実効的なチャネル長が十分に確保されるため、バックバイアスを印加して、短チャネル効果が厳しいメモリ素子（例えばDRAM）のトランジスタ特性が安定化される。

【0024】また、ゲート絶縁膜を介して半導体基板に形成された溝内に埋め込まれたワード線上に、絶縁膜を介してこのワード線にオーバラップする状態で、半導体基板表面に形成した拡散層に接続される取り出し電極を形成することから、ワード線上の絶縁膜は20nm～30nm以上の十分な膜厚が確保される。それによって、拡散層に接続される取り出し電極との耐圧が確保される。そのため、メモリ素子の拡散層上の全面をコンタクトに使用できるようになるので、実効面積を有効に使用できる。よって、セルデザインで実現可能な最低の抵抗値を実現することができ、コンタクト抵抗の低減が図れる。

【0025】また、メモリ素子領域の拡散層は、その深さ方向に不純物濃度が薄くなるように形成されていることから、メモリ素子領域の拡散層下部の半導体基板濃度をセルトランジスタに要求されるほどに濃くしなくともよいので、接合の電界が緩和され、メモリ素子のセル縮小化にともない厳しくなるデータ保持特性の性能が維持される。

【0026】また、ロジック領域の高駆動力トランジスタを実現するためのリプレースメントにより形成されるゲート電極を有するロジックトランジスタとメモリ素子との1チップ化が実現される。これによって、ロジック領域のゲートは、熱処理に対するケアが不要となり、ゲート絶縁膜に高誘電率材料を用いることが可能となり、ゲート電極をポリメタル構造または金属材料で形成することが可能になる。

【0027】また、上記製造方法によって、アナログ回路や外部インターフェイス、メモリ素子のワード線昇圧に必要な高電圧動作を可能にする高電圧ロジック素子を標準電圧ロジック素子とともに一つの半導体基板に混載することが可能になる。

【0028】

【発明の実施の形態】本発明の半導体装置に係る一実施の形態を、図1の概略構成断面図によって説明する。

【0029】図1に示すように、半導体基板11には、

メモリ素子領域（以下DRAM領域として説明し、図面ではDRAM領域と記す）、標準電圧ロジック領域、高電圧ロジック領域等を分離する素子分離領域12が形成されている。この素子分離領域12は、例えばSTI (Shallow Trench Isolation) 技術によって、例えば0.1μm～0.2μm程度の深さに形成されている。上記半導体基板11上のDRAM領域には、バッファ層72が例えば酸化シリコン膜で20nm～30nmの厚さに形成されている。

【0030】上記半導体基板11の上層には、DRAMのメモリセルトランジスタのソース・ドレインとなる第1の拡散層（拡散層）13が形成されている。この拡散層13は、一例として、不純物にリンを用い、ドーズ量を $1 \times 10^{13}/\text{cm}^2 \sim 5 \times 10^{13}/\text{cm}^2$ 、加速電圧を10keV～40keVに設定したイオン注入により形成される。

【0031】上記バッファ層72、半導体基板11および上記素子分離領域12には、溝14が例えば50nm～100nm程度の深さに形成されている。その溝14内にはゲート絶縁膜15を介してワード線（ゲート電極も含む）16が形成されている。上記ワード線16は、下層をポリシリコン層で形成され、上層がシリサイド（例えばサリサイド）層18で形成されている。少なくとも後に説明する取り出し電極21との耐圧が確保される距離として、その表面が溝14の上部の半導体基板11表面より少なくとも30nm以上50nm以下、好ましくは40nm以上50nm以下、下がった状態に形成されている。この実施の形態では、例えば50nm程度下がった状態に形成されている。なお、半導体基板11に形成された溝14の深さと素子分離領域12に形成された溝14の深さに多少の差を生じていても差し支えない。

【0032】さらに上記ワード線16（ポリシリコン層）上の溝14の側壁には、サイドウォール絶縁膜17が例えば窒化シリコン膜で形成されている。さらに、上記ポリシリコン層16pの上層には上記シリサイド層18が形成されている。このシリサイド層18としては、例えばコバルトシリサイド（CoSi<sub>2</sub>）、チタンシリサイド（TiSi<sub>2</sub>）ニッケルシリサイド（NiSi<sub>2</sub>）等を用いることができる。なお、半導体基板11に形成された溝14の深さと素子分離領域12に形成された溝14の深さに多少の差を生じていても差し支えない。

【0033】さらに、上記溝14の底部における半導体基板11にはチャネル拡散層（図示せず）が形成されている。上記チャネル拡散層は、高濃度（例えば $1.0 \times 10^{18}/\text{cm}^3 \sim 1.0 \times 10^{19}/\text{cm}^3$ ）にしなければならないが、半導体基板11を掘り下げた溝14底部の半導体基板11部分に形成されているものであり、溝14の側壁や上部はほとんど基板濃度としてよく、その

10

20

30

40

50

領域は極めて低濃度（例えば $1.0 \times 10^{16}/\text{cm}^3 \sim 1.0 \times 10^{18}/\text{cm}^3$ ）となっている。

【0034】上記ゲート絶縁膜15は、最先端のロジックのトランジスタよりもやや厚めの膜厚を有し、またゲート長もやや長く形成されるため、この世代であっても、熱酸化による酸化シリコン膜の適用が可能である。したがって、DRAM領域の上記ゲート絶縁膜15は、例えば1.5nm～5nm程度の厚さの酸化シリコン膜で形成されている。

【0035】したがって、上記溝14の側壁上部における半導体基板11表面側には、DRAM領域の拡散層13が形成されている。この拡散層13の底部はできる限り薄い濃度に設定され、半導体基板11との電界を緩和させることができ。もともと半導体基板11側は、この拡散層13の接合部では低濃度に設定されているため、拡散層13とともに、低電界強度の接合が形成されている。この接合によってDRAMデータ保持特性が維持される。

【0036】上記説明したように、半導体基板11にゲート絶縁膜15を介してワード線（ゲート電極）16が埋め込まれ、第1の拡散層13が半導体基板11表面側に形成されていることから、チャネルはワード線（ゲート電極）16が形成されている溝14底部側の半導体基板11を廻り込むように形成されている。そのため、実効的なチャネル長を確保することもでき、バックバイアスを印加して短チャネル効果が厳しいDRAMセルのトランジスタ特性を安定化させることもできる。

【0037】一方、標準電圧ロジック領域の半導体基板11上には、側壁にサイドウォール54を有するダミーゲートと置き換えて形成されたゲート電極51がゲート絶縁膜82を介して形成されている。したがって、このゲート電極51の側壁にはゲート絶縁膜82を介して上記サイドウォール54が形成されている。上記サイドウォール54下部における半導体基板11には低濃度拡散層52、52が形成され、この低濃度拡散層52、52を介したゲート電極51の両側の半導体基板11には拡散層55、55が形成されている。さらに、上記拡散層55、55の上層には上記シリサイド層58が形成されている。このシリサイド層58としては、例えばコバルトシリサイド（CoSi<sub>2</sub>）、チタンシリサイド（TiSi<sub>2</sub>）ニッケルシリサイド（NiSi<sub>2</sub>）等を用いることができる。

【0038】また、ロジック領域の素子分離領域12上には、上記ゲート電極51と同様な構造のゲート電極（ゲート配線）51が形成されている。

【0039】また、上記高電圧ロジック領域の半導体基板11には、DRAM領域と同様に溝14が形成され、その溝14の内部にはゲート絶縁膜15を介してゲート電極61が形成されている。このゲート電極61は、例えばワード線16と同一層からなり、少なくとも後に説

明する取り出し電極126との耐圧が確保される距離として、その表面が溝14の上部の半導体基板11表面より少なくとも30nm以上50nm以下、好ましくは40nm以上50nm以下、下がった状態に形成されている。この実施の形態では、例えば50nm程度下がった状態に形成されている。

【0040】上記ゲート電極61の両側における半導体基板11表面には拡散層65が形成され、その下部に低濃度拡散層62が形成されている。上記拡散層65の上層には上記シリサイド層58が形成されている。このシリサイド層58としては、例えばコバルトシリサイド(CoSi<sub>2</sub>)、チタンシリサイド(TiSi<sub>2</sub>)ニッケルシリサイド(NiSi<sub>2</sub>)等を用いることができる。また、上記ゲート電極61上の溝14側壁には酸化シリコンからなるサイドウォール64が形成されている。さらに、上記ゲート電極61上部には例えばコバルトシリサイド(CoSi<sub>2</sub>)からなるシリサイド層69が形成されている。上記サイドウォール64はシリサイド層69と拡散層65との間の耐圧を確保する機能を有する。

【0041】上記半導体基板11上の全面には、上記DRAM領域のトランジスタ2、高電圧ロジック領域のトランジスタ6を覆い、上記標準電圧ロジック領域のゲート電極51の頂部が露出するように、第1の絶縁膜(絶縁膜)19が形成されている。この第1の絶縁膜19表面は平坦化されている。上記第1の絶縁膜19にはDRAM領域の拡散層13に達する接続孔20が形成されている。上記接続孔20内には、例えばリンドープトポリシリコンで形成される取り出し電極21が形成されている。

【0042】上記接続孔20は、拡散層13の表面全面で取り出し電極をコンタクトさせることができるように、接続孔20の開口径をできる限り大きく形成することが望ましい。それによってコンタクト抵抗の低減が図られる。また、図面では、多少アライメントずれを起こした状態をわざと記載したが、接続孔20開口時に過剰なオーバエッチングを施さなければ、接続孔20内に形成されるワード線16に接続される上記取り出し電極21の物理的な距離を確保することが可能となる。なお、上部からみた投影デザインでは、この接続孔20が完全にワード線(ゲート電極)16にオーバラップする形となっている。

【0043】さらに、上記第1の絶縁膜19上には、DRAM領域の取り出し電極21上およびロジック領域のゲート電極51上を覆う第2の絶縁膜(キャップ絶縁膜)22が形成されている。

【0044】上記第2の絶縁膜22には、所定の上記取り出し電極21に接続するビットコンタクトホール23が形成されている。また、上記第2の絶縁膜22上には、上記ビットコンタクトホール23を通じて取り出し

10

20

30

40

50

電極21に接続するビット線24が例えば金属電極で形成されている。このビット線24は、その下部に密着層が形成され、その上部にオフセット絶縁膜25が形成されている。

【0045】上記第2の絶縁膜22上には、上記ビット線24を覆うエッチングストップ層26および第3の絶縁膜27が形成されている。この第3の絶縁膜27表面は平坦化されている。上記第3の絶縁膜27には、上記取り出し電極21に接続する接続孔28を自己整合コンタクトを形成する技術によって形成されている。この接続孔28内にはビット線24との絶縁を図るためにサイドウォール絶縁膜29が形成されている。

【0046】上記第3の絶縁膜27上には、熱処理が不要なMIM(Metal/insulator/Metal)構造のキャパシタ31が形成されている。このキャパシタの下部電極32は接続孔28を通じて上記取り出し電極21に接続されている。MIM構造のキャパシタ31は0.1μm以下のDRAMでは必須になると予想され、現在では、一例として、上部、下部電極34、32にルテニウム(Ru)、酸化ルテニウム(RuO)系材料が用いられ、キャパシタ31の誘電体膜33にはBST(BaTiO<sub>3</sub>とSrTiO<sub>3</sub>との混晶)系の膜が採用されている。

【0047】上記第3の絶縁膜27上には、上記MIM構造のキャパシタ31を覆う第4の絶縁膜35が形成されている。この第4の絶縁膜35表面は平坦化されている。上記第4の絶縁膜35ないし第1の絶縁膜19には、キャパシタ取り出し電極、ワード線取り出し電極、ビット線取り出し電極、標準電圧ロジック領域の拡散層取り出し電極、ロジック領域のゲート取り出し電極、高電圧ロジック領域の拡散層取り出し電極等を形成するための接続孔111、112、113、114a、114b、115、116a、116bが形成されている。

【0048】さらに、上記接続孔111～116bには、キャパシタ取り出し電極121、ワード線取り出し電極122、ビット線取り出し電極123、標準電圧ロジック領域の拡散層取り出し電極124、ロジック領域のゲート取り出し電極125、高電圧ロジック領域の拡散層取り出し電極126等が形成されている。さらに、第4の絶縁膜35上には第5の絶縁膜36が形成されている。この第5の絶縁膜36には各取り出し電極121～126に達する各配線溝131が形成され、配線溝131には第1の配線141が例えば銅配線により形成されている。この第1の配線141には、図示はしないが、必要に応じて、銅の拡散を防止するバリア層、密着層が形成されている。また、さらに必要に応じて上層配線が形成される。

【0049】なお、上記キャパシタ31は、上記MIM構造に限定されることはなく、例えばポリシリコンの結晶粒を利用したHSGの記憶ノード電極もしくはシリンドラ形状の記憶ノード電極を適用することも可能であり、

絶縁膜に従来から用いられている酸化シリコン膜と窒化シリコン膜と酸化シリコン膜との積層膜(ONO膜)、酸化タンタル膜、酸化アルミニウム膜等を用いることができる。

【0050】上記半導体装置1では、ゲート絶縁膜15を介して半導体基板11に埋め込まれたゲート電極16上に第1の絶縁膜(絶縁膜)18を介してこのゲート電極16にオーバラップする状態で拡散層17に接続される取り出し電極20を備えていることから、ゲート電極16上の第1の絶縁膜18を20nm~30nm以上の十分な膜厚を確保することが可能になり、それによつて、ゲート電極(ワード線)16と拡散層17に接続される取り出し電極20との耐圧が確保されるようになる。

【0051】また、半導体基板11にゲート絶縁膜15を介してゲート電極16が埋め込まれ、拡散層17が半導体基板11表面側に形成されていることから、チャネルはゲート電極16が形成されている溝13底部側の半導体基板11を廻り込むように形成されている。そのため、実効的なチャネル長が十分に確保されるため、バックバイアスを印加して、短チャネル効果が厳しいDRAMのトランジスタ特性が安定化される。さらに、取り出し電極20は拡散層17の半導体基板11表面側全域に接続させることができになり、コンタクト抵抗の低減が図れる。

【0052】また、ワード線16(16w)は、半導体基板11および素子分離領域12に形成した溝13にゲート電極に接続されるように形成されていることから、ゲート電極16との同時形成を可能としている。また、拡散層17は深さ方向に不純物濃度が薄くなっていることから、接合の電界を緩和することが可能になり、データ保持特性の性能が維持される。

【0053】本発明の半導体装置の製造方法に係る実施の形態の一例を、図2~図22の概略構成断面図によつて説明する。図2~図22では、前記図1によつて説明したのと同様なる構成部品には同一符号を付与する。

【0054】図2の(1)に示すように、例えばSTI(Shallow Trench Isolation)技術によつて、半導体基板11に、メモリ素子領域(以下DRAM領域として説明し、図面ではDRAM領域と記す)、標準電圧ロジック領域、高電圧ロジック領域等を分離する素子分離領域12を形成する。

【0055】さらに半導体基板11上にレジスト膜91を形成した後、リソグラフィー技術に用いてDRAM領域となる部分のレジスト膜91を除去し、ロジック領域上にレジスト膜91を残す。図面では酸化シリコンからなるバッファ層71を形成した半導体基板11を示しているが、場合によつては、上記バッファ層71は必要としない。また上記素子分離領域12は0.1μm~0.2μm程度の深さに形成される。

【0056】その後、上記レジスト膜91をマスクにしてDRAM領域の半導体基板11にソース・ドレインを形成するためのイオン注入を行い、拡散層13を形成する。このイオン注入条件としては、一例として、イオン注入する不純物にリンを用い、ドーズ量を $1 \times 10^{13}/cm^2$ ~ $5 \times 10^{13}/cm^2$ 、加速電圧を10keV~40keVに設定する。その後、上記レジスト膜91を除去する。このイオン注入では、後のDRAM領域のゲート形成に係る熱処理による拡散を考慮して、やや浅めにイオン注入を行うが、DRAMのゲートが基板埋め込み型であるため、DRAM領域のチャネルは埋め込みゲートを形成する溝の底部に形成されるので、何ら問題はない。また、後の熱処理によって活性化されるため、特にこの段階で熱処理を行う必要もない。

【0057】次いで、図3の(2)に示すように、半導体基板11上にバッファ層72を例えば酸化シリコン膜で、20nm~30nmの厚さに形成する。続いて、レジスト膜92を形成した後、リソグラフィー技術に用いて、DRAM領域上に上記レジスト膜92を残し、標準電圧ロジック領域および高電圧ロジック領域となる部分のレジスト膜92を除去する。

【0058】その後、このレジスト膜92をエッティングマスクに用いて、上記バッファ層72をエッティング加工する。すなわち、DRAM領域上にバッファ層72を残し、標準電圧ロジック領域および高電圧ロジック領域上のバッファ層72をエッティング除去する。このエッティング加工は、酸化シリコン膜をエッティングする周知のドライエッティングもしくはウエットエッティングのいずれかの方法で行うことが可能である。その後、上記レジスト膜92を除去する。

【0059】上記プロセスにおいて、DRAM領域上に残したバッファ層72は、後にDRAM領域のワード線上にサリサイドを形成する際に、DRAM領域の拡散層をこのサリサイド形成から保護する機能を有する。

【0060】さらに、図4の(3)に示すように、半導体基板11上にレジスト膜93を形成した後、リソグラフィー技術によりDRAM領域のワード線(ゲート電極)となる領域上および高電圧ロジック領域のゲート電極となる領域上のレジスト膜93に開口部94を形成する。

【0061】次いで、図5の(4)に示すように、上記レジスト膜93をエッティングマスクに用いて、バッファ層72、素子分離領域12および半導体基板11をエッティング(例えば連続的にエッティング)して素子分離領域12(フィールド)および半導体基板11に、DRAM領域のワード線(ゲート電極も含む)および高電圧ロジック領域のゲート電極が形成される溝14を形成する。この溝14の深さは、例えば50nm~100nm程度であり、半導体基板11に形成された溝14の深さと素子分離領域12に形成された溝14の深さとが多少の差を

生じてもよい。なお、DRAM領域に形成されているバッファ層72は素子分離領域12をエッチングする際に同時にエッチングされる。その後、上記レジスト膜93を通常の除去技術によって除去する。

【0062】上記工程で形成した溝14には、後にワード線およびゲート電極を埋め込むので、例えばDRAM昇圧電位用のMOSキャパシタ等の幅の広い配線は形成できない。DRAMの昇圧用に実効面積の広いMOSキャパシタが必要な場合は、くし型のMOSキャパシタを設置する。なお、この世代で想定している電圧としては、標準ロジック領域は0.5V～1.2V、高電圧ロジック領域は1.5V～2.5V、DRAMセルのワード線昇圧は1.5V～2.5Vである。

【0063】次いで、図示はしないが、DRAM領域およびロジック領域のウエル・チャネルドーズを例えばレジストマスクを用いてイオン注入法によって行い、半導体基板11にチャネル拡散層、ウエル領域等を形成する。

【0064】DRAM領域のワードトランジスタの上記チャネル拡散層として、高濃度（例えば $1.0 \times 10^{18} / \text{cm}^3 \sim 1.0 \times 10^{19} / \text{cm}^3$ ）にしなければならない領域は、半導体基板11を掘り下げた溝14底部の半導体基板部分であり、溝14の側壁や上部における半導体基板11には基板濃度としてのイオン注入をほとんど行う必要はない。したがって、後述する拡散層13（図7参照）下部の半導体基板部分は、極めて低濃度（例えば $1.0 \times 10^{17} / \text{cm}^3 \sim 1.0 \times 10^{18} / \text{cm}^3$ ）での形成が可能になる。

【0065】その後、図6の(5)に示すように、上記溝14の内面および半導体基板11、素子分離領域12上にDRAM領域、高電圧ロジック領域（例えばワード線昇圧部等）等のゲート絶縁膜15を形成する。この世代では、ゲート絶縁膜を膜厚に応じて作り分けるのが一般的ではあり、レジストプロセスを用いて作り分けを行う。ゲート絶縁膜には酸化シリコンもしくは耐熱性が必要な場合には窒化シリコンを用いる。ただし、低成本の汎用DRAMの場合には作り分けは必ずしも必要な措置ではない。

【0066】DRAMセルは、最先端のロジックのトランジスタよりもやや厚めのゲート絶縁膜を有し、またゲート長もやや長く形成されるため、この世代であっても、熱酸化による酸化シリコン膜の適用が可能である。したがって、DRAM領域の上記ゲート絶縁膜15は、例えば1.5nm～2nm程度の厚さの酸化シリコン膜で形成される。また、高電圧ロジック部のゲート絶縁膜にもこの酸化シリコン膜を用いる必要がある。

【0067】さらに、溝14を埋め込むように、半導体基板11、素子分離領域12上に上記ゲート絶縁膜15を介してゲート電極形成膜73を例えばポリシリコンで形成する。なお、上記ゲート絶縁膜15と上記ゲート電

10

20

30

40

50

極形成膜73は、ロジック領域のダミーゲートとして用いることができる。したがって、このゲート電極形成膜73の膜厚は合計で150nm～200nm程度が必要になる。次いで、上記ゲート電極形成膜73上にバッファ層74を例えば酸化シリコン膜で形成する。

【0068】次に、上記バッファ層74上の全面にレジスト膜95を形成した後、リソグラフィー技術によって、DRAM領域のワード線（ゲート電極も含む）を形成するためにロジック領域のみを上記レジスト膜95で覆うようにパターニングを行う。

【0069】次いで、図7の(6)に示すように、上記レジスト膜95をマスクに用いてDRAM領域の上記バッファ層74、上記ゲート電極形成膜73のエッチバックを行う。そして、DRAM領域の溝14内にのみ、上記ゲート電極形成膜73を残すようにして、ワード線（一部がゲート電極となる）16を形成する。その際、DRAM領域のワード線16を形成するためのエッチバックは半導体基板11よりも例えば50nm程度低くなるように行い、後に形成される拡散層取り出し電極との耐圧距離を確保する。

【0070】上記エッチバックでは、ロジック領域上はレジスト膜95に覆われているためバッファ層74とゲート電極形成膜73は残される。このバッファ層74は、レジスト膜95をマスクに用いて、ゲート電極形成膜73をエッチバックする際にパターニングを行っているが、これは、後のロジック領域の拡散層にサリサイドを形成する際に、ダミーゲート上のサリサイド形成を抑制するためのもので、汚染等の問題が生じない場合には不要として形成しない場合もある。その後、上記レジスト膜95を除去する。

【0071】ここまで形成プロセスで、最初にイオン注入によって形成したDRAM領域における拡散層13中のリンが熱拡散し、拡散層13の底部は、濃度が薄くなり、半導体基板11との電界を緩和させることが可能となる。もともと、半導体基板11側は、この拡散層13の接合部では低濃度に設定されているため、拡散層13とともに、低電界強度の接合が形成される。この接合がDRAMデータ保持特性の傾向を維持する。

【0072】上記説明したように、半導体基板11にゲート絶縁膜15を介してワード線（ゲート電極）16が埋め込まれ、拡散層13が半導体基板11表面側に形成されていることから、チャネルはワード線（ゲート電極）16が形成されている溝14底部側の半導体基板11を廻り込むように形成される。そのため、実効的なチャネル長を確保することもでき、バックバイアスを印加して短チャネル効果が厳しいDRAMセルのトランジスタ特性を安定化させることもできる。

【0073】次いで、図8の(7)に示すように、DRAM領域のゲートを保護する保護膜75を例えば薄い窒化シリコン膜（例えば厚さが10nm～50nm）で全

面に形成する。この保護膜75は、後にDRAM領域のワード線16上の側壁にサイドウォール状に形成され、サリサイド形成時に、ワード線16側壁の耐圧確保に寄与する。

【0074】続いて、図9の(8)に示すように、標準電圧ロジック領域のダミーゲートのパターニングを行う。まず全面にレジスト膜96を形成し、例えばリソグラフィー技術によってレジスト膜96を標準電圧ロジック領域のゲート電極パターンに加工する。その際、DRAM領域はレジスト膜96で被覆保護し、高電圧ロジック領域上のレジスト膜96は除去する。  
10

【0075】図10の(9)に示すように、上記レジスト膜96をエッティングマスクにして保護膜75、バッファ層74およびゲート電極形成膜73をエッティング加工して標準電圧ロジック領域にダミーゲート76を形成する。このエッチバック加工では、ゲート絶縁膜15として形成した酸化シリコン膜をエッティングストップとして用いている。また、このエッティングでは、高電圧ロジック領域ではエッチバック加工が行われ、高電圧ロジック領域に形成されている溝14内にゲート電極形成膜73  
20 がゲート絶縁膜15を介して埋め込まれ、ゲート電極61が形成される。その後、上記レジスト膜96を除去する。

【0076】次いで、図11の(10)に示すように、標準電圧ロジック領域のnチャネルトランジスタの形成領域上を開口したレジスト膜(図示せず)を形成し、続いてそのレジスト膜およびダミーゲート76をマスクに用いて半導体基板11にイオン注入を行い、nチャネルトランジスタの低濃度拡散層52、52を形成する。その後、上記レジスト膜を除去する。同様にして、標準電圧ロジック領域のpチャネルトランジスタの形成領域上を開口したレジスト膜(図示せず)を形成し、続いてそのレジスト膜およびダミーゲート(図示せず)をマスクに用いて半導体基板11にイオン注入を行い、pチャネルトランジスタの低濃度拡散層(図示せず)を形成する。その後、上記レジスト膜を除去する。  
30

【0077】さらに、同様にして、高電圧ロジック領域のnチャネルトランジスタの形成領域上を開口したレジスト膜(図示せず)を形成し、続いてそのレジスト膜およびゲート電極61をマスクに用いて半導体基板11にイオン注入を行い、nチャネルトランジスタの低濃度拡散層62、62を形成する。その後、上記レジスト膜を除去する。同様にして、高電圧ロジック領域のpチャネルトランジスタの形成領域上を開口したレジスト膜(図示せず)を形成し、続いてそのレジスト膜およびゲート電極(図示せず)をマスクに用いて半導体基板11にイオン注入を行い、pチャネルトランジスタの低濃度拡散層(図示せず)を形成する。この高電圧ロジック領域のイオン注入では、ゲート電極61が半導体基板11に形成された溝14にそって形成されているので、比較的高  
40

エネルギーでのイオン注入が必要になる。その後、上記レジスト膜を除去する。

【0078】次いで、図12の(11)に示すように、サイドウォール形成膜77を全面に形成する。このサイドウォール形成膜77は、窒化シリコンよりも低応力でウエット処理による剥離性のよい酸化シリコンで形成することが好ましい。または、酸化シリコン膜と窒化シリコン膜の積層膜もしくは酸化窒化シリコン膜で形成することも可能である。その後、全面にレジスト膜97を形成し、例えばリソグラフィー技術によってロジック領域のレジスト膜97を除去し、DRAM領域のレジスト膜97は残して、DRAM領域を保護しておく。その状態で、上記サイドウォール形成膜77をエッチバックする。

【0079】その結果、図13の(12)に示すように、標準電圧ロジック領域のダミーゲート76の側壁にサイドウォール形成膜77でサイドウォール54が形成される。その際、高電圧ロジック領域の溝14の側壁にもサイドウォール64が形成される。このサイドウォール64はゲートの側壁を保護する機能を有する。

【0080】次いで、標準電圧ロジック領域のnチャネルトランジスタの形成領域上を開口したレジスト膜(図示せず)を形成し、続いてそのレジスト膜およびダミーゲート76、サイドウォール54をマスクに用いて半導体基板11にイオン注入を行い、ダミーゲート76側に低濃度拡散層52を残すようにnチャネルトランジスタの拡散層55、55を形成する。その後、上記レジスト膜を除去する。同様にして、標準電圧ロジック領域のpチャネルトランジスタの形成領域上を開口したレジスト膜(図示せず)を形成し、続いてそのレジスト膜およびダミーゲート(図示せず)、サイドウォール(図示せず)をマスクに用いて半導体基板11にイオン注入を行い、ダミーゲート側に低濃度拡散層(図示せず)を残すようにpチャネルトランジスタの拡散層(図示せず)を形成する。その後、上記レジスト膜を除去する。  
30

【0081】さらに、同様にして、高電圧ロジック領域のnチャネルトランジスタの形成領域上を開口したレジスト膜(図示せず)を形成し、続いてそのレジスト膜およびゲート電極61をマスクに用いて半導体基板11にイオン注入を行い、下層に低濃度拡散層62を残すようにしてnチャネルトランジスタの拡散層65、65を形成する。その後、上記レジスト膜を除去する。同様にして、高電圧ロジック領域のpチャネルトランジスタの形成領域上を開口したレジスト膜(図示せず)を形成し、続いてそのレジスト膜およびゲート電極(図示せず)をマスクに用いて半導体基板11にイオン注入を行い、下層に低濃度拡散層(図示せず)を残すようにしてpチャネルトランジスタの拡散層(図示せず)を形成する。その後、上記レジスト膜を除去する。  
40

【0082】次いで、図14の(13)に示すように、

全面にレジスト膜98を形成した後、リソグラフィー技術によって、DRAM領域のレジスト膜98を除去し、上記レジスト膜98でロジック領域を覆うようにパターニングを行う。次いで、上記レジスト膜98をマスクに用いて例えばウエット処理によって、DRAM領域の酸化シリコンからなるサイドウォール形成膜77のエッチバックを行う。このエッチングでは、先に形成されているDRAMのワード線16直上に形成されている窒化シリコンからなる保護膜75がエッチングストップとなる。

【0083】また、上記レジスト膜93をそのまま利用して、DRAM領域の保護膜75を例えば反応性イオンエッチング(RIE)によりエッチングしてDRAM領域のワード線16を露出させる。この結果、ワード線線16上の溝14の側壁に保護膜75からなるサイドウォール17が形成される。このサイドウォール17は側壁保護の機能を有する。なお、上記反応性イオンエッチングでは、DRAM領域の拡散層13が露出しないようにすること、すなわち、拡散層13上にバッファ層72を残すようにすることが重要である。その後、上記レジスト膜98を除去する。

【0084】さらに、図15の(14)に示すように、通常のシリサイド化技術を用いて、上記ロジック領域の各拡散層55、65上、高電圧ロジック領域のゲート電極61上、DRAM領域のワード線16上に、シリサイド層58、68、69、18を選択的に形成する。このとき、ダミーゲート76の頂上部には、酸化シリコン膜からなるバッファ層74が形成されているので、シリサイド層は形成されない。このようにして、低抵抗を実現する必要が有るロジック領域の各拡散層55、65上、高電圧ロジック領域のゲート電極61上、DRAM領域のワード線16上に選択的にシリサイド層58、68、69、18が形成される。このシリサイド層としては、例えばコバルトシリサイド(CoSi<sub>2</sub>)、チタンシリサイド(TiSi<sub>2</sub>)ニッケルシリサイド(NiSi<sub>2</sub>)等を用いることができる。

【0085】その後、全面にキャップ絶縁膜78を例えば窒化シリコン膜で形成する。このキャップ絶縁膜78はサリサイド形成部の接合リーキを抑制するのに効果的であるが、不要であれば形成する必要はない。

【0086】次いで、図16の(15)に示すように、全面に第1の絶縁膜(絶縁膜)19を形成した後、CMPによって、第1の絶縁膜19表面を平坦化する。上記第1の絶縁膜19表面を平坦化する方法は、平坦化を実現することができる方法であればCMPに限定されることはなく、例えばエッチバック法等を用いることも可能である。その後、上記第1の絶縁膜19上にレジスト膜99を形成した後、リソグラフィー技術によって、上記レジスト膜99にDRAM領域の拡散層取り出しコンタクト用の接続孔パターン100を形成する。

【0087】次いで、図17の(16)に示すように、上記レジスト膜99【図9の(15)参照】をエッチングマスクに用いて、第1の絶縁膜19を貫通してDRAM領域の拡散層13に達する接続孔20を形成する。このとき、DRAM領域のワード線(ゲート電極)16はコンタクトを取るべき拡散層13よりも半導体基板11表面下に配置されているので、セルフアラインコンタクト等の特別な技術を用いる必要はない。またDRAMの拡散層13全面が取り出し電極とコンタクトできるように、接続孔20の開口径をできる限り大きく形成することが望ましい。それによってコンタクト抵抗の低減が図られる。

【0088】また、図面では、多少アライメントずれを起こした状態をわざと記載したが、接続孔開口時に過剰なオーバエッチングを施さなければ、後の工程で接続孔20内に形成されるワード線取り出し電極の物理的な距離を確保することが可能となる。なお、上部からみた投影デザインでは、この接続孔20が完全にワード線(ゲート電極)16にオーバラップする形となっている。

【0089】次いで、上記接続孔20内を埋め込むように、第1の絶縁膜19上に、取り出し電極形成膜79を形成する。この取り出し電極形成膜79は、例えばリン dopトポリシリコンで形成される。この拡散層取り出しのための取り出し電極形成膜79は、従来通り、DRAM領域に接合リーキの低減を考慮してリン dopトポリシリコンが選択されることが望ましい。その後、リン dopトポリシリコンを活性化するための熱処理を行う。この熱処理としては900°C程度の急速加熱処理(以下RTAという、RTAはRapid Thermal Annealingの略)が必要になる。その後は、ロジック領域のゲート電極を形成する工程となるため、一切の高温熱処理を行わないようにする必要がある。

【0090】その後、図18の(17)に示すように、例えばCMPによって、第1の絶縁膜19上の余剰な取り出し電極形成膜79(リン dopトポリシリコン)を除去して、接続孔20内に拡散層13に接続する取り出し電極形成膜79からなる取り出し電極21を形成するとともに、第1の絶縁膜19を研磨してその表面を平坦化させる。その際、表面電圧ロジック領域のダミーゲート76上部を露出させる。

【0091】次いで、図19の(18)に示すように、DRAM領域に形成された拡散層取り出しのための取り出し電極21を保護するキャップ絶縁膜80を例えば窒化シリコン膜で第1の絶縁膜19上に形成する。そしてレジスト膜(図示せず)を形成した後、リソグラフィー技術によって上記レジスト膜(図示せず)をDRAM領域のみに残す。このキャップ絶縁膜80は、後の工程で行うCMPによって除去されるため、上記窒化シリコン膜に限定されることはない。窒化シリコンの他には、一例として、酸化シリコンを用いることも可能である。そ

の後、標準電圧ロジック領域におけるダミーゲート76【図18の(17)参照】を除去する。

【0092】その結果、上記ダミーゲートを除去部分に溝81が形成される。このダミーゲートの除去は、下地が酸化シリコン系であるため反応性イオンエッチングで行うことも可能であり、または硫酸過水もしくはフッ硝酸によるウエットエッチングにより除去することも可能である。

【0093】そして、図20の(19)に示すように、上記溝81の内壁に上記ロジック領域のゲート絶縁膜82を形成した後、その溝81内部を埋め込むようにゲート電極形成膜83を形成する。このゲート絶縁膜82およびゲート電極形成膜83は上記キャップ絶縁膜80上にも形成される。上記ゲート絶縁膜82は、酸化シリコン膜で形成されるが、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化アルミニウム、BST等の高誘電体膜を用いることも可能である。また上記ゲート電極形成膜83はタンゲステン膜83W/窒化チタン膜83Tの積層膜で形成することが一般的である。

【0094】再びCMPによって、第1の絶縁膜19上20の余剰なゲート絶縁膜82とゲート電極形成膜83とを除去して、図21の(20)に示すように、溝81内にゲート絶縁膜82を介してゲート電極形成膜83からなるゲート電極51を形成するとともに、第1の絶縁膜19表面を平坦化する。その結果、標準電圧ロジック領域のゲート電極51上部は露出される。その際、DRAM領域の拡散層を取り出すための取り出し電極21の上部も研磨されるが、何ら問題はない。

【0095】次いで、第1の絶縁膜19上に、DRAM領域の取り出し電極21上およびロジック領域のゲート電極51上を覆う第2の絶縁膜(キャップ絶縁膜)22を形成する。

【0096】その後、図22の(21)に示すように、通常のDRAMプロセスを経る。すなわち、上記第2の絶縁膜22を形成した後、ビットコンタクトホール23を形成する。次いで、金属電極によるビット線24を形成する。このビット線24は、その下部に密着層24aを成膜して形成され、その上部にオフセット絶縁膜25を成膜して形成される。その後、ビット線24を覆うエッチングストップ層26および第3の絶縁膜27を形成する。そして、第3の絶縁膜27表面を平坦化する。次に、第3の絶縁膜27に上記取り出し電極21に接続する接続孔28を自己整合コンタクトを形成する技術によって形成する。この接続孔28内にはビット線24との絶縁を図るためにサイドウォール絶縁膜29が形成されている。

【0097】次いで、熱処理が不要なMIM(Metal/insulator/Metal)構造のキャパシタ31を形成する。このキャパシタの下部電極32は接続孔28を通して上記取り出し電極21に接続される。MIM構造のキャパシ

10

タ31は0.1μm以降のDRAMでは必須になると予想され、現在では、一例として、上部、下部電極34、32にルテニウム(Ru)、酸化ルテニウム(RuO)系材料が用いられ、キャパシタ31の誘電体膜33にはBST(BaTiO<sub>3</sub>とSrTiO<sub>3</sub>との混晶)系の膜が採用される。

【0098】次いで、上記第3の絶縁膜27上に、上記MIM構造のキャパシタ31を覆う第4の絶縁膜35を形成する。その後、CMPによって上記第4の絶縁膜35表面を平坦化する。次いで、第4の絶縁膜35ないし第1の絶縁膜19に、キャパシタ取り出し電極、ワード線取り出し電極、ビット線取り出し電極、標準電圧ロジック領域の拡散層取り出し電極、ロジック領域のゲート取り出し電極、高電圧ロジック領域の拡散層取り出し電極等を形成するための接続孔111、112、113、114a、114b、115、116a、116b等を形成する。

【0099】さらに、上記接続孔111～116b等に、キャパシタ取り出し電極121、ワード線取り出し電極122、ビット線取り出し電極123、標準電圧ロジック領域の拡散層取り出し電極124a、124b、ロジック領域のゲート取り出し電極125、高電圧ロジック領域の拡散層取り出し電極126a、126b等を形成する。さらに、第4の絶縁膜35上に第5の絶縁膜36を形成する。次いで、この第5の絶縁膜36に各取り出し電極121～126に達する各配線溝131を形成し、配線溝131に第1の配線141を形成する。この第1の配線41は例えば銅配線からなる。図示はしないが、さらに必要に応じて上層配線を形成する。

【0100】上記半導体装置の製造方法では、ワード線16上層にシリサイド層18を形成することから、ワード線16の抵抗が低減され、遅延の問題が回避される。また、ロジック素子の拡散層55、65上にシリサイド層58、68を形成することからこの拡散層55、65へのコンタクト抵抗が低減される。

【0101】また、DRAM領域の拡散層13を半導体基板11表面側に形成し、この半導体基板11にゲート絶縁膜15を介してワード線16を埋め込むように形成することから、チャネルはワード線(ゲート電極)16が形成されている溝14底部側の半導体基板11を廻り込むように形成される。そのため、実効的なチャネル長が十分に確保されるため、バックバイアスを印加して、短チャネル効果が厳しいメモリ素子(例えばDRAM)のトランジスタ特性が安定化される。

【0102】また、上記半導体装置1の製造方法では、ゲート絶縁膜15を介して半導体基板11に形成された溝14内に埋め込まれたワード線16上に、第1の絶縁膜19を介してこのワード線16にオーバラップする状態で、半導体基板11表面に形成した拡散層13に接続される取り出し電極21を形成することから、ワード線

16上の第1の絶縁膜19は20nm～30nm以上の十分な膜厚が確保される。そのため、拡散層13に接続される取り出し電極21との耐圧が確保される。また、DRAM領域の拡散層13上の全面をコンタクトに使用できるようになるので、実効面積を有効に使用できる。よって、セルデザインで実現可能な最低の抵抗値を実現することができ、コンタクト抵抗の低減が図れる。

【0103】また、DRAM領域の拡散層13は、その不純物拡散によって深さ方向に不純物濃度が薄く形成されることから、接合の電界を緩和することが可能になり、データ保持特性の性能が維持される。

【0104】また、標準電圧ロジック領域の高駆動力トランジスタを実現するためにリプレースメントにより形成されるゲート電極51を有するロジックトランジスタとDRAMとの1チップ化が実現される。これによって、標準電圧ロジック領域のゲート電極51は、熱処理に対するケアが不要となり、ゲート絶縁膜82に高誘電率材料を用いることが可能となり、ゲート電極51をポリメタル構造または金属材料で形成することが可能になる。

【0105】また、上記製造方法によって、アナログ回路や外部インターフェイス、メモリ素子のワード線昇圧に必要な高電圧動作を可能にする高電圧ロジック素子を標準電圧ロジック素子とともに一つの半導体基板11に混載することが可能になる。

【0106】上記DRAM領域に用いた技術は、汎用DRAMのメモリチップの製造にも適用することが可能である。

#### 【0107】

【発明の効果】以上、説明したように本発明の半導体装置およびその製造方法によれば、ワード線上層にシリサイド層が形成されているので、ワード線抵抗の低減が図れ、微細加工化で問題となるワード線の遅延の問題が回避できる。また、ロジック素子の拡散層上にシリサイド層が形成されているので、この拡散層へのコンタクト抵抗を低減することができる。

【0108】また、半導体基板表面側に拡散層が形成され、その半導体基板に形成された溝内にゲート絶縁膜を介してワード線が埋め込まれているので、チャネルはワード線が形成されている溝底部側の半導体基板を廻り込むように形成される。そのため、メモリ素子領域のセルトランジスタの実効的なチャネル長が十分に確保されるため、バックバイアスを印加して短チャネル効果が厳しいメモリ素子（例えばDRAM）のトランジスタ特性が安定化される。

【0109】また、上部投影デザイン的に、メモリ素子領域の拡散層の取り出し電極と、ワード線（ゲート電極）とがオーバラップすることが可能となり、セルの微細化が可能になる。よって、基板面方向にはワード線と取り出し電極間の耐圧確保のための距離が必要なくな

る。また、ワード線と拡散層取り出しコンタクトとの層間耐圧確保も容易となる。そのため、メモリ素子の拡散層上の全面がコンタクトに使用されるので、実効面積を有効に使用できる。よって、セルデザインで実現可能な最低の抵抗値が実現されるので、コンタクト抵抗の低減が図れる。

【0110】また、メモリ素子領域の拡散層下部の半導体基板濃度をセルトランジスタに要求されるほど濃くする必要がないこと、メモリ素子領域の拡散層はその深さ方向に不純物濃度が薄くなっていることから、接合の電界を緩和することが可能になり、メモリ素子領域のセル縮小化でますます厳しくなるデータ保持特性の性能を維持することが可能になる。

【0111】また、ロジック領域の高駆動力トランジスタを実現するためのリプレースメントゲート電極を有するロジックトランジスタとメモリ素子との1チップ化が実現される。これによって、ロジック領域のゲートは、熱処理に対するケアが不要となり、ゲート絶縁膜に高誘電率材料を用いることが可能となり、ゲート電極をポリメタル構造で形成することが可能になる。

【0112】ロジック領域の高駆動力トランジスタを実現するために、リプレースメントゲート電極とDRAMの1チップ化が可能になる。これによって、ロジック領域のゲートは熱処理に対するケアが不要となり、ゲート絶縁膜に酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化アルミニウム、BST (BaTiO<sub>3</sub>とSrTiO<sub>3</sub>との混晶) 等を用いることが可能になり、またゲート電極にCu/TiN、W/TiN等を用いることが可能になり、ロジック素子の性能の向上が図れる。

【0113】アナログ回路や外部インターフェイス、メモリ素子のワード線昇圧に必要な高電圧動作を可能にする高電圧ロジック素子を標準電圧ロジック素子とともに一つの半導体基板に混載することが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置に係る実施の形態の一例を示す概略構成断面図である。

【図2】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（1）である。

【図3】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（2）である。

【図4】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（3）である。

【図5】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（4）である。

【図6】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（5）である。

【図7】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（6）である。

【図8】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（7）である。

23

【図9】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（8）である。

【図10】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（9）である。

【図11】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（10）である。

【図12】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（11）である。

【図13】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（12）である。

【図14】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（13）である。

【図15】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（14）である。

【図16】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（15）である。

【図17】本発明の半導体装置の製造方法に係る実施の\*

10

\*形態の一例を示す概略構成断面図（16）である。

【図18】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（17）である。

【図19】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（18）である。

【図20】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（19）である。

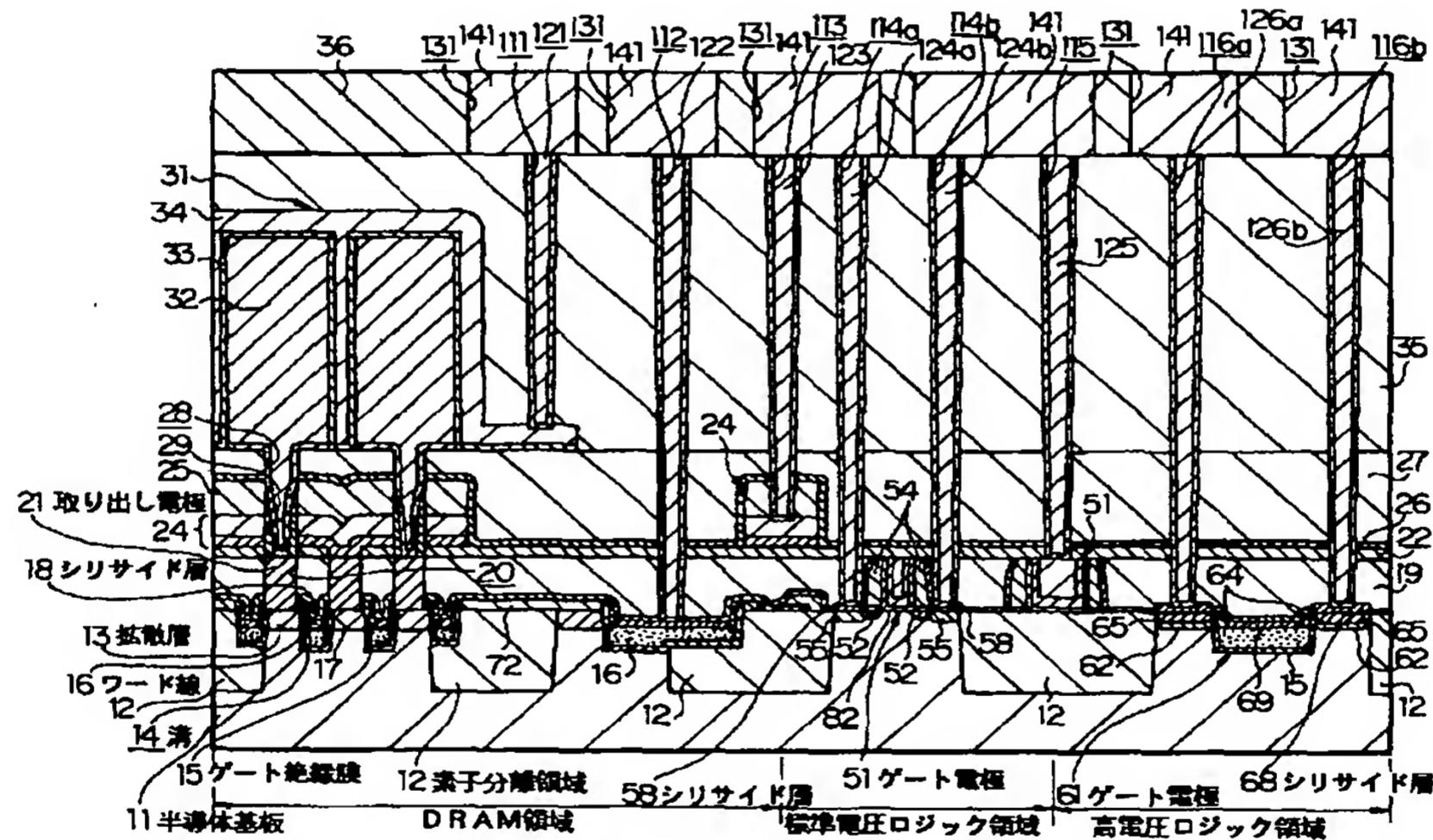
【図21】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（20）である。

【図22】本発明の半導体装置の製造方法に係る実施の形態の一例を示す概略構成断面図（21）である。

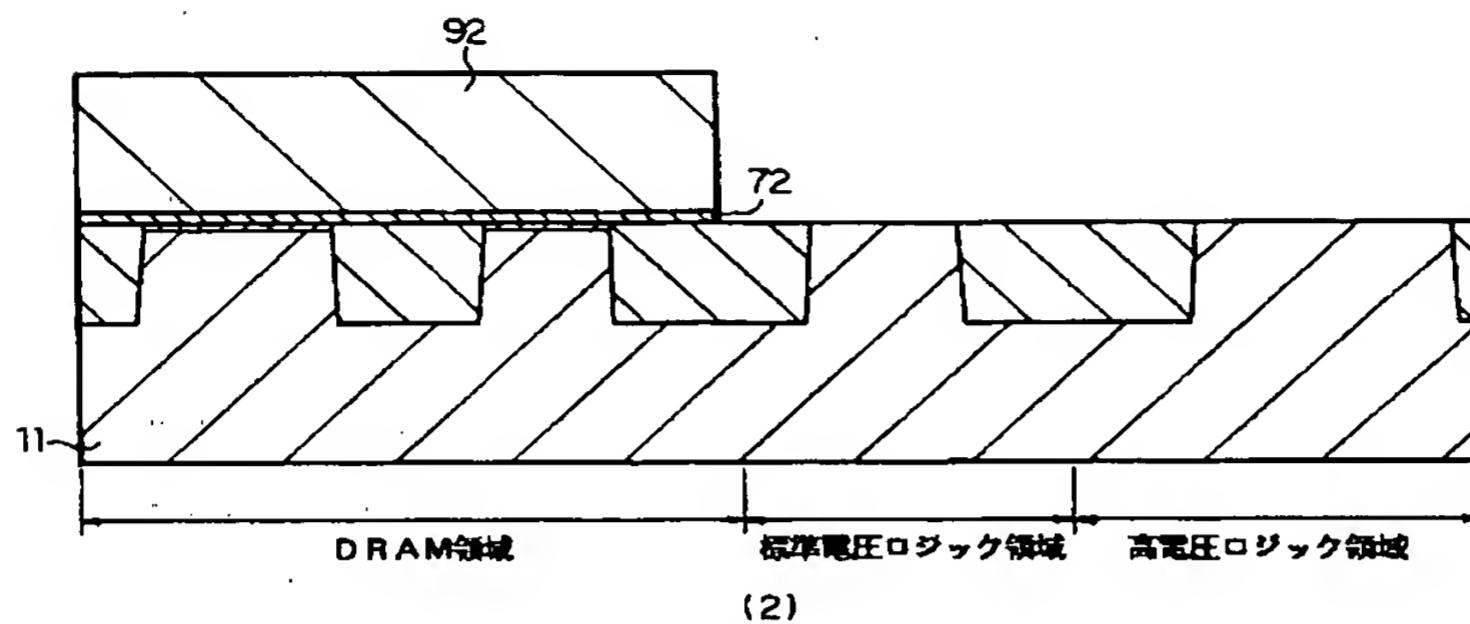
【符号の説明】

11…半導体基板、12…素子分離領域、13, 55, 65…拡散層、14…溝、15, 82…ゲート絶縁膜、16…ワード線、18, 58, 68…シリサイド層、19…第1の絶縁膜、21…取り出し電極、51, 61…ゲート電極

【図1】

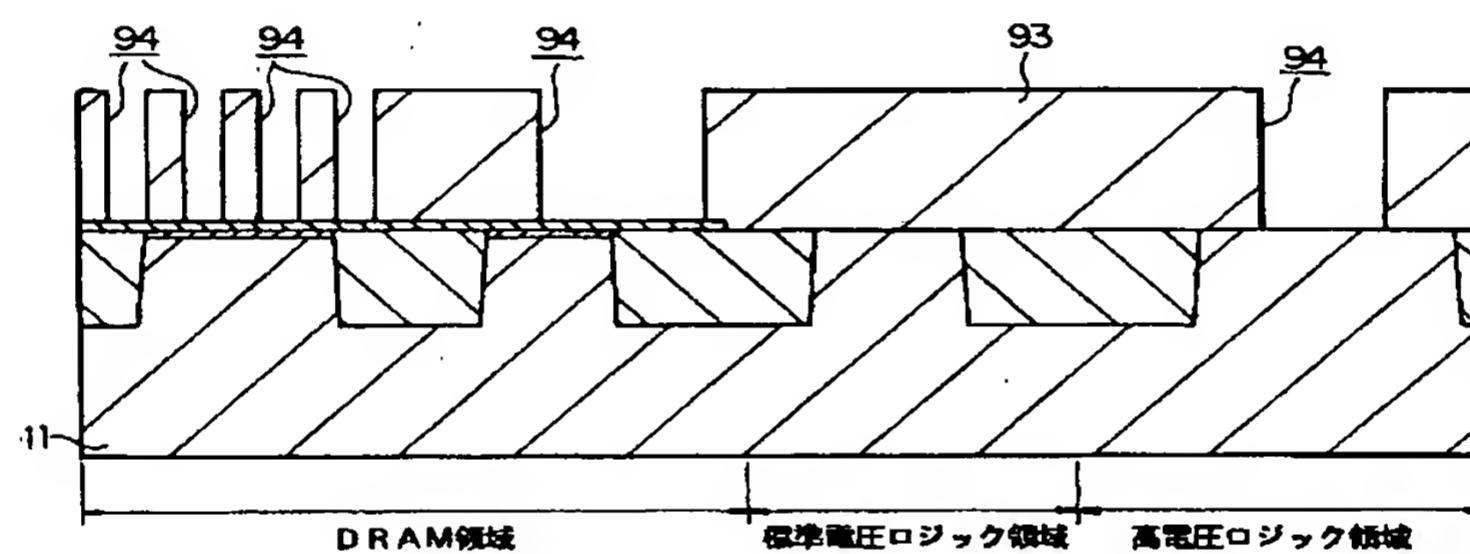


【図3】



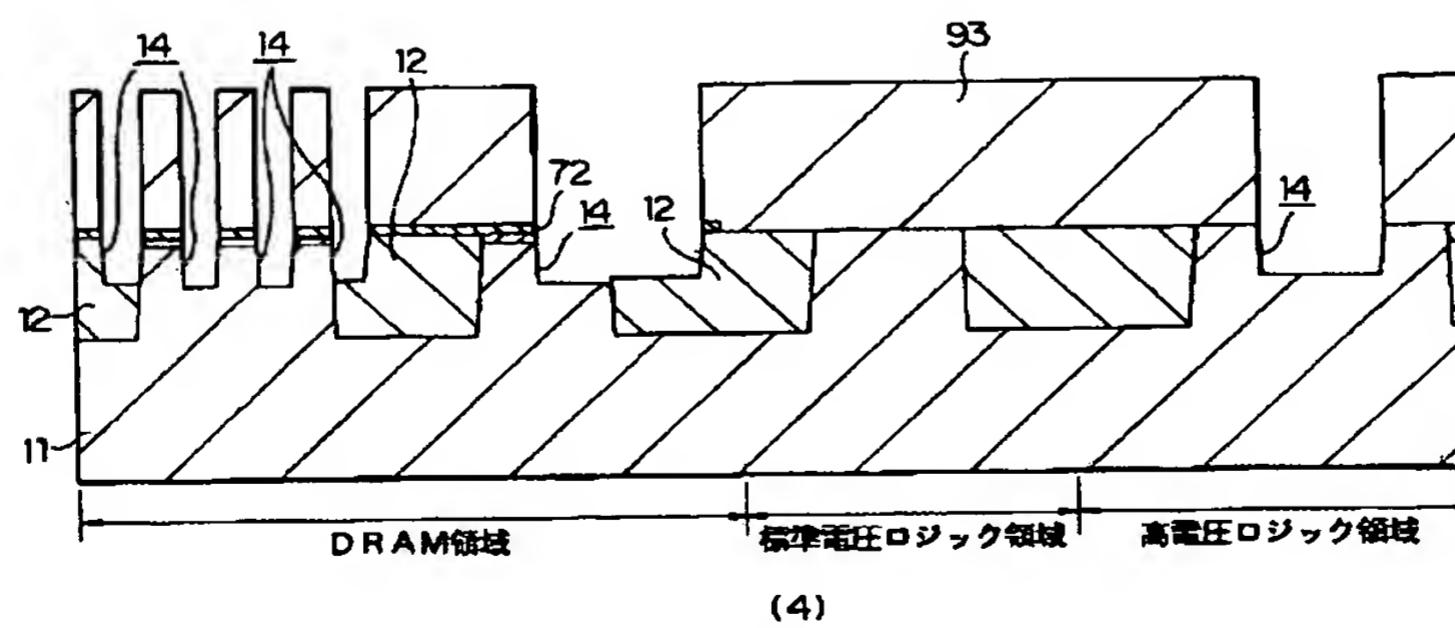
(2)

【図4】



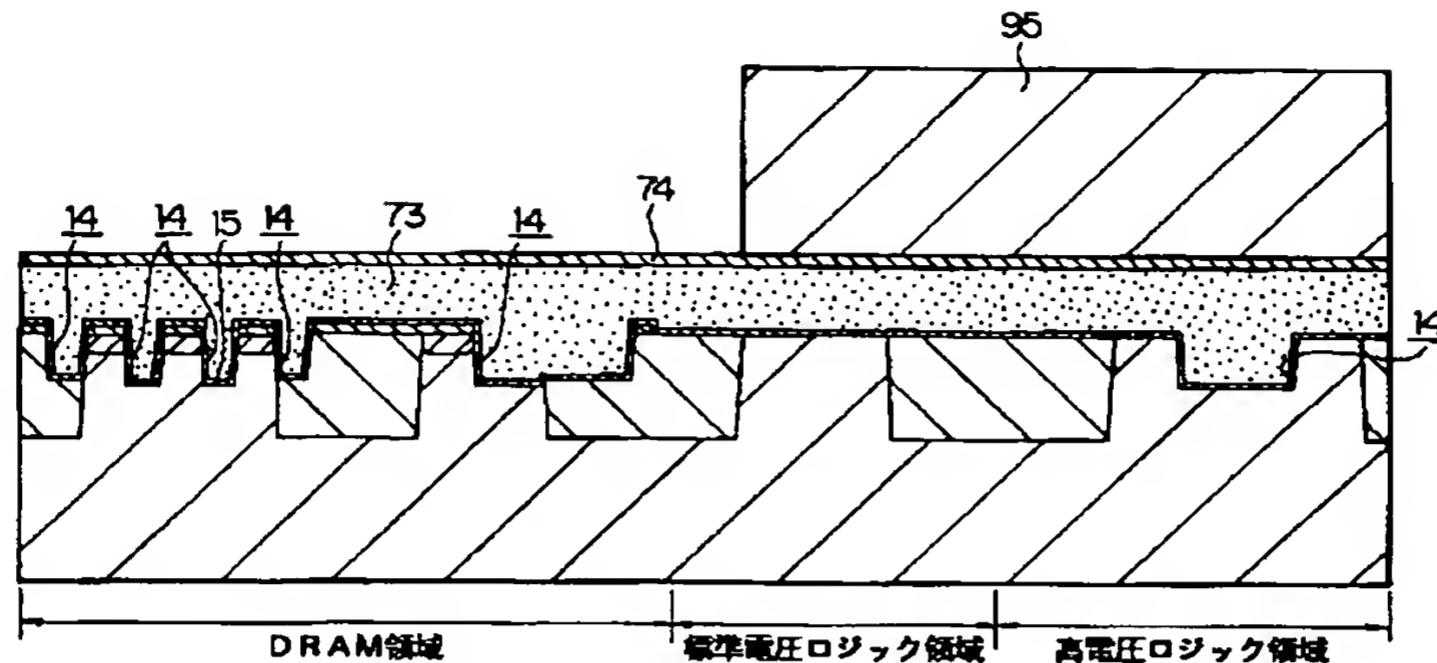
(3)

【図5】



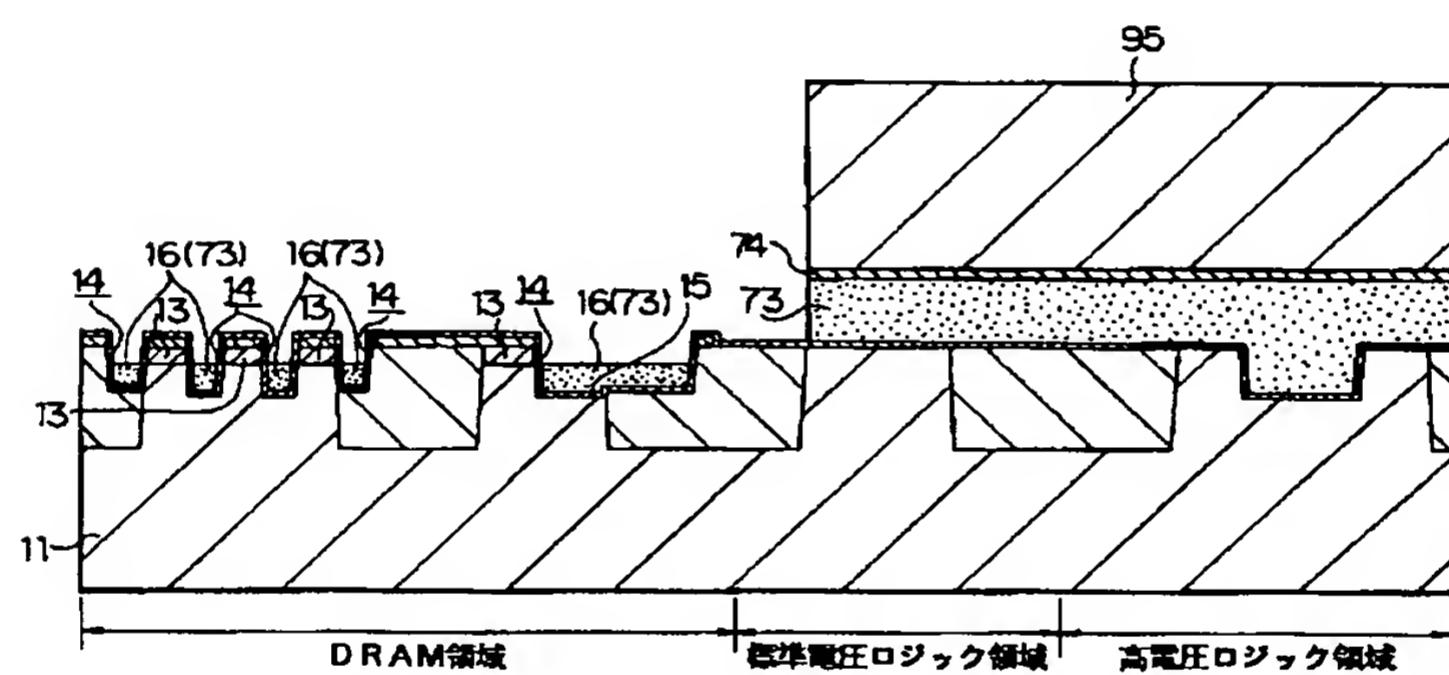
(4)

【図6】



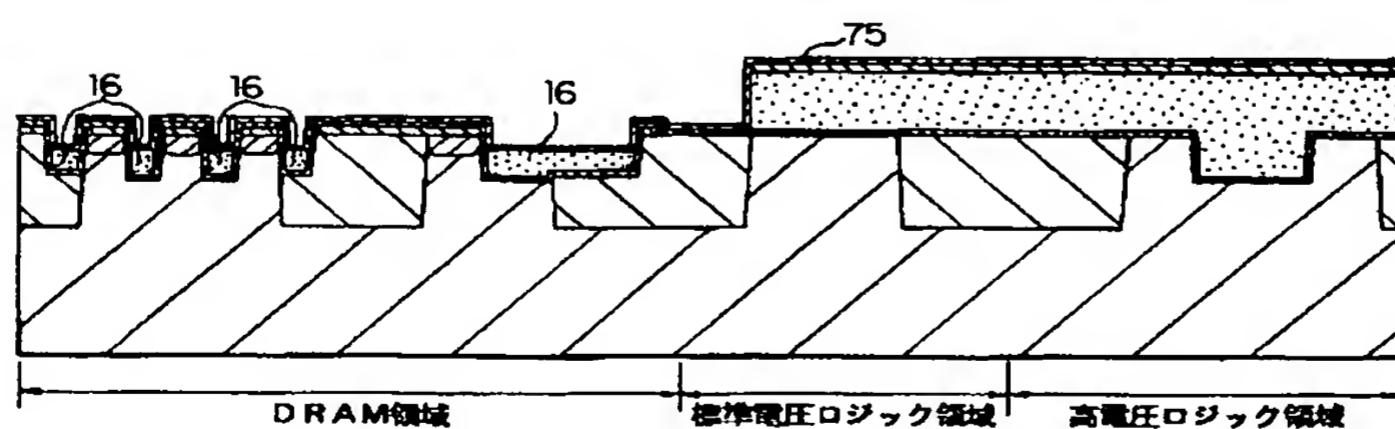
(5)

【図7】



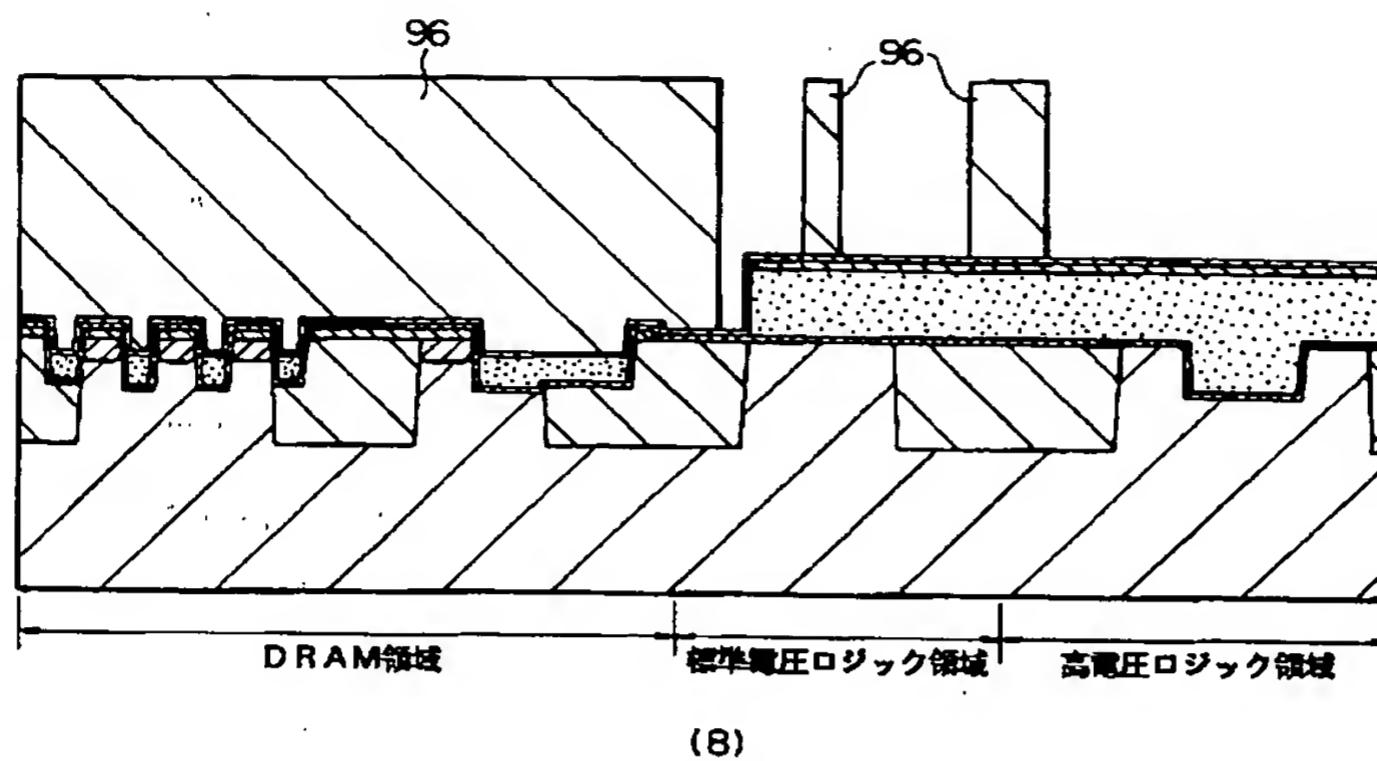
(6)

【図8】



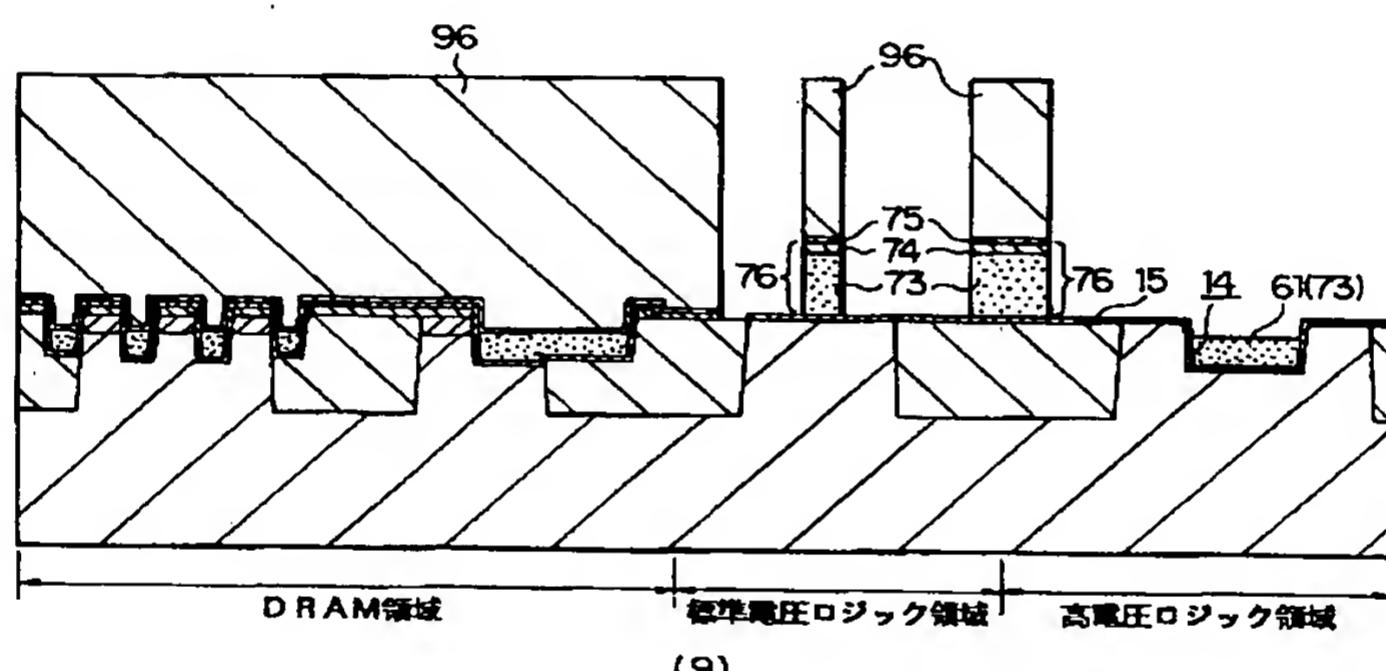
(7)

【図9】



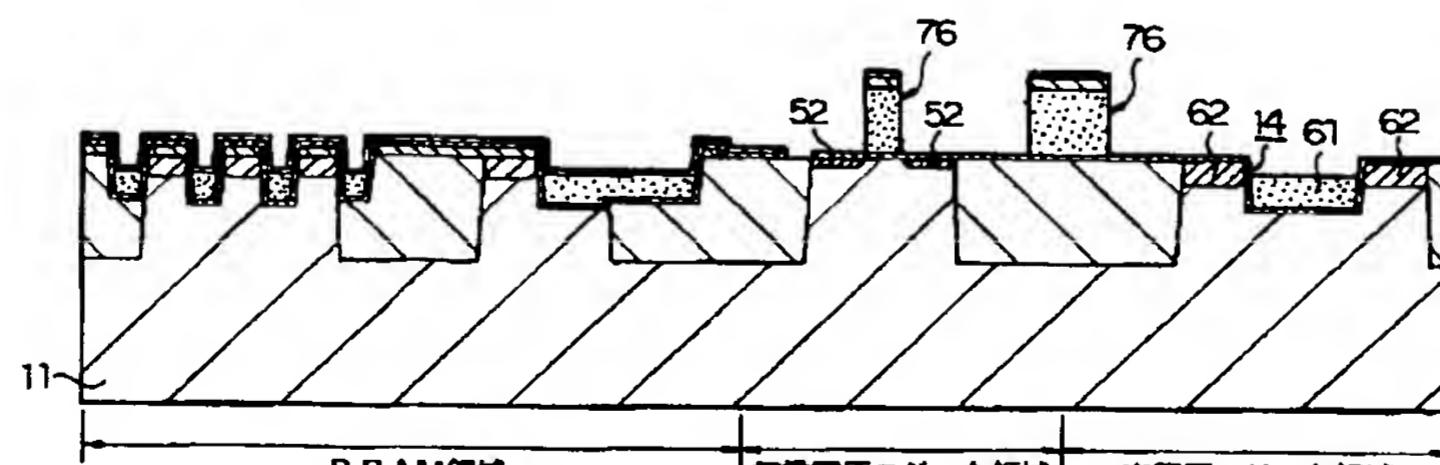
(B)

【図10】



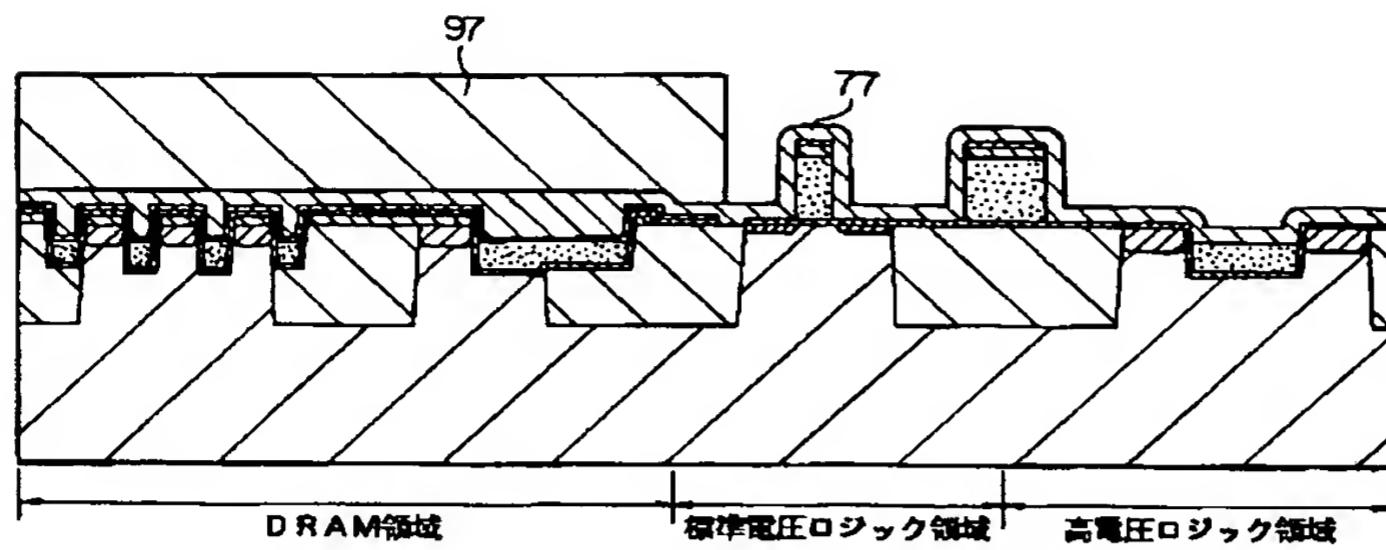
(9)

【図11】



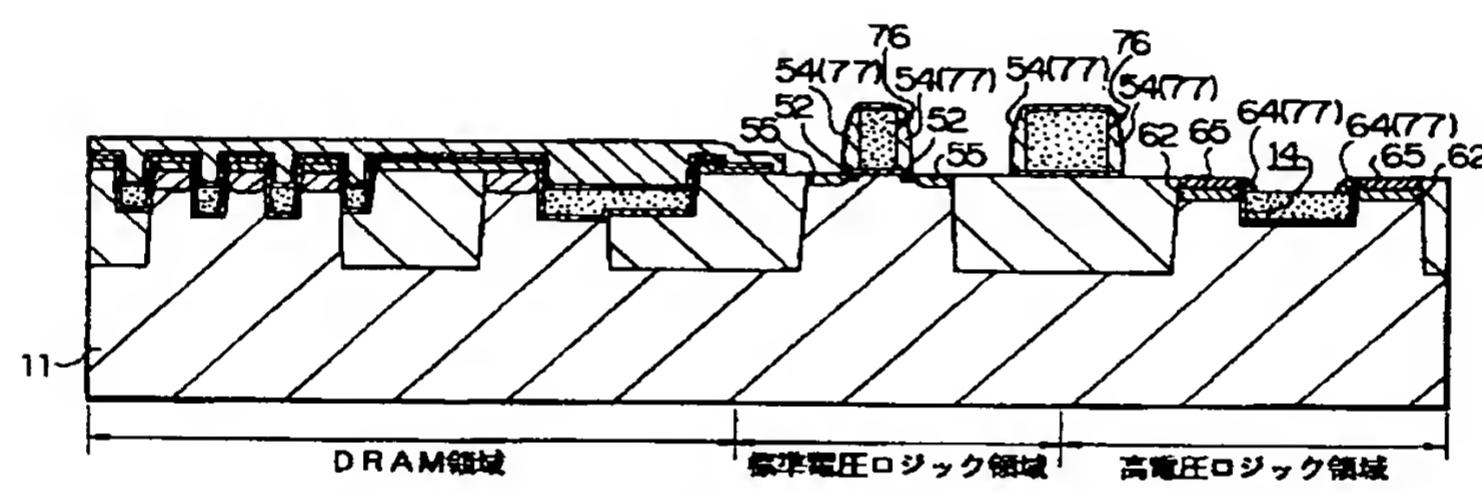
(10)

【図12】



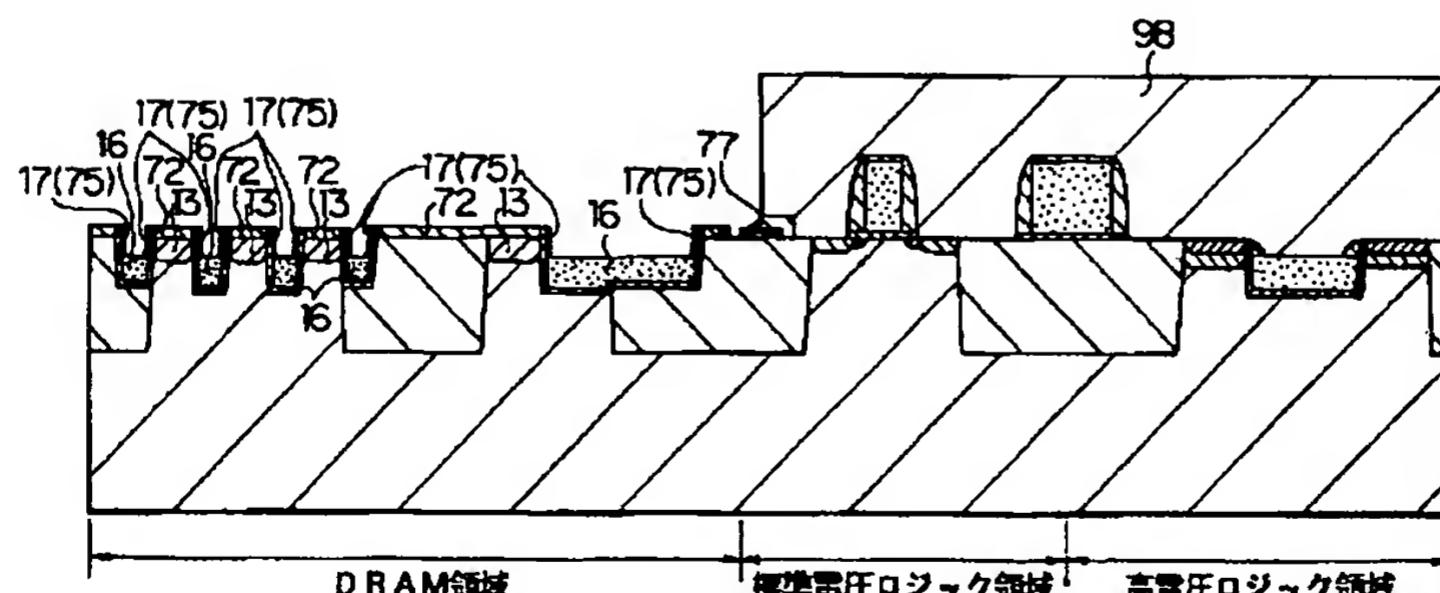
(11)

【図13】



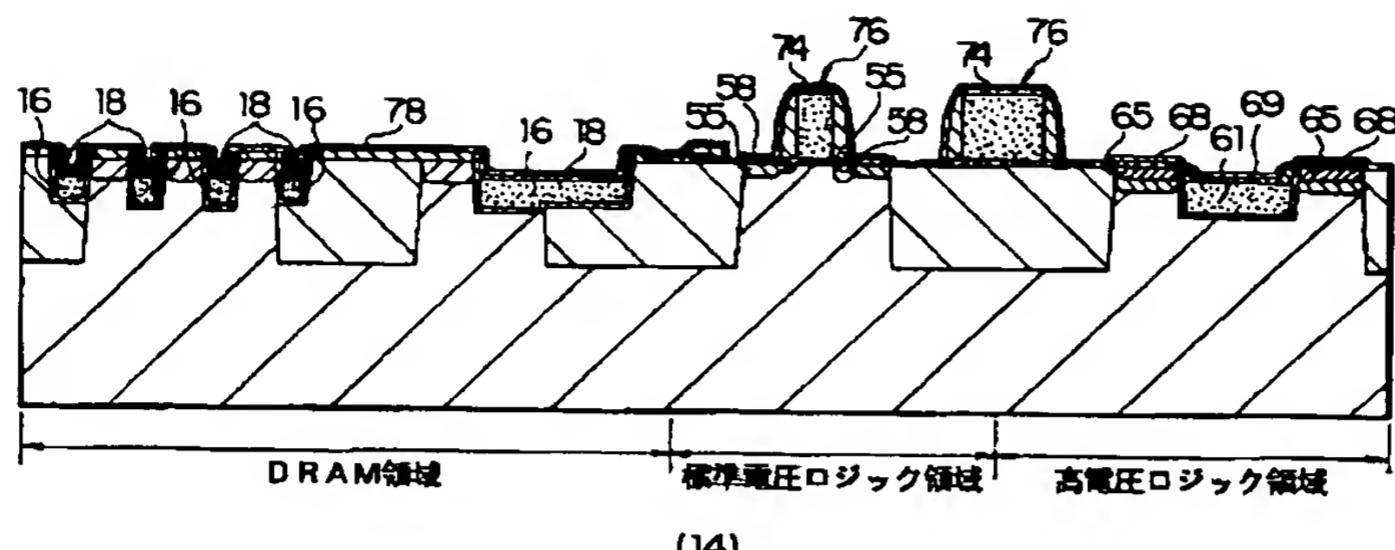
(12)

【図14】



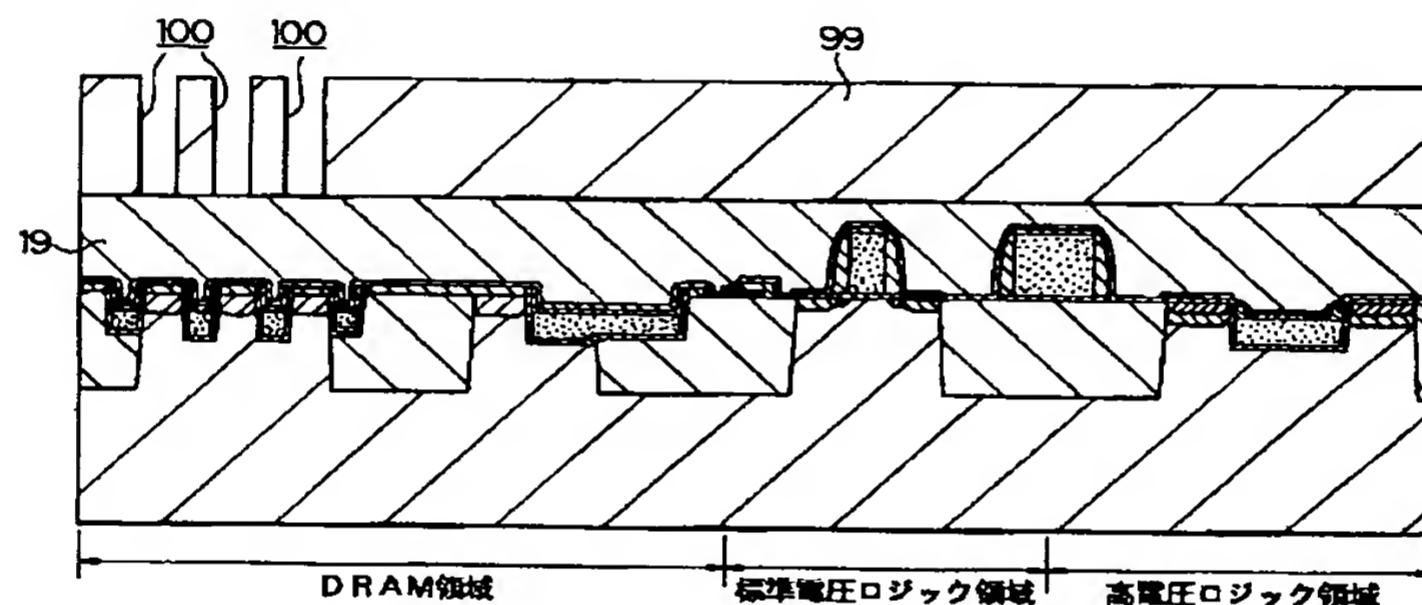
(13)

【図15】



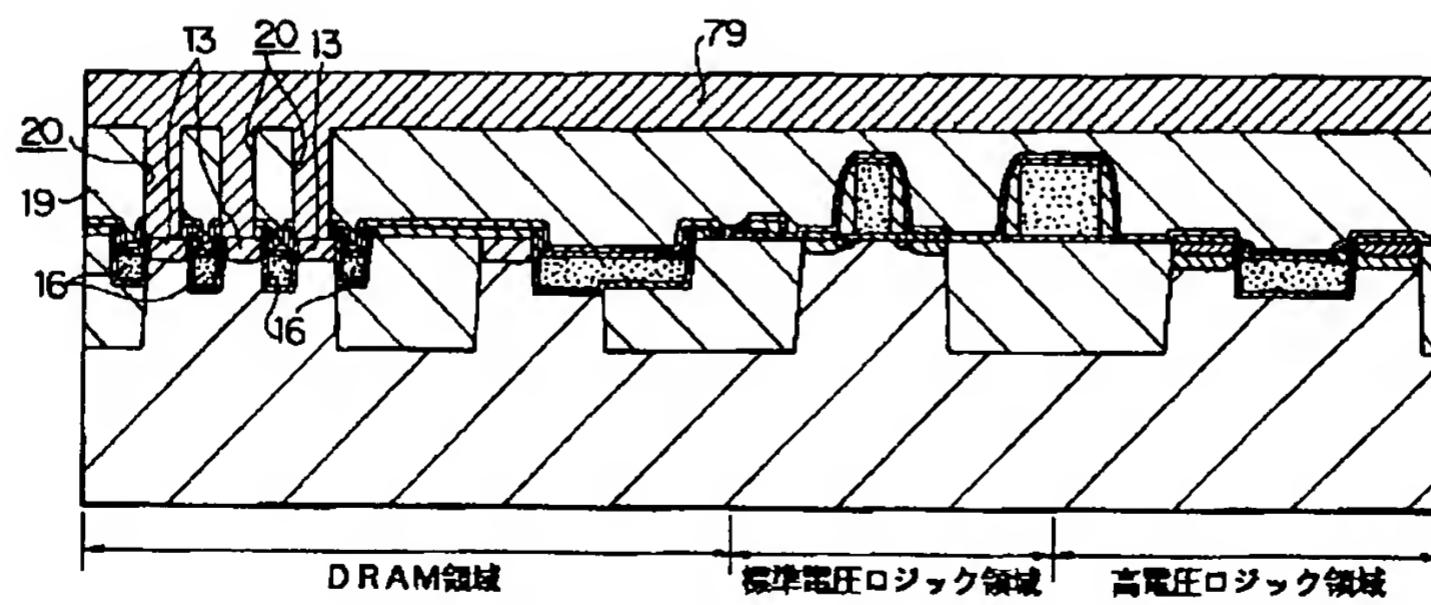
(14)

【図16】



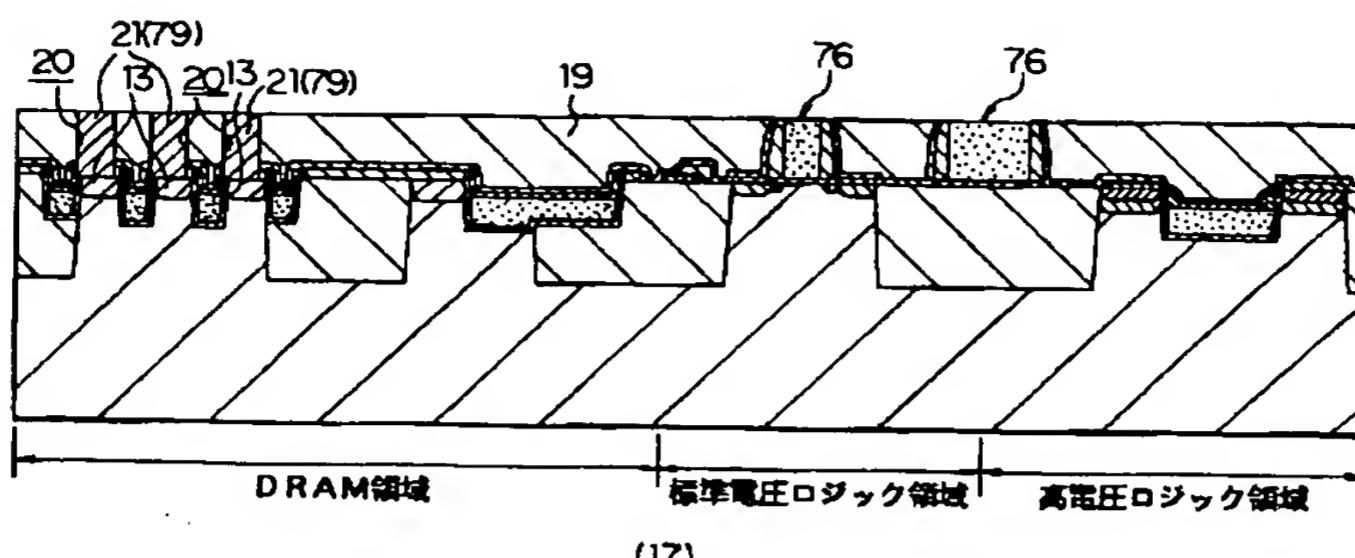
(15)

【図17】



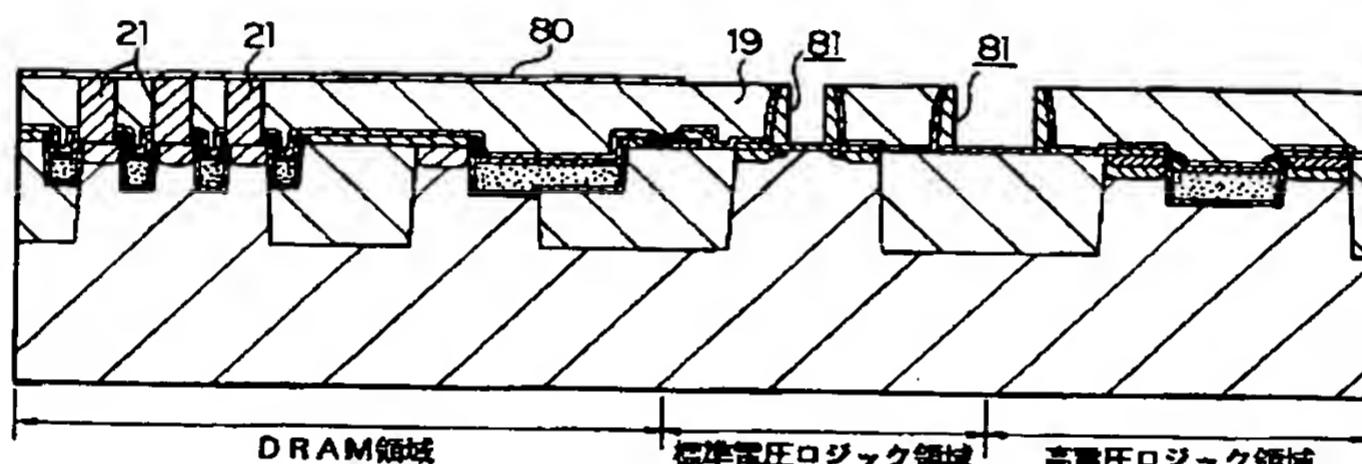
(16)

【図18】



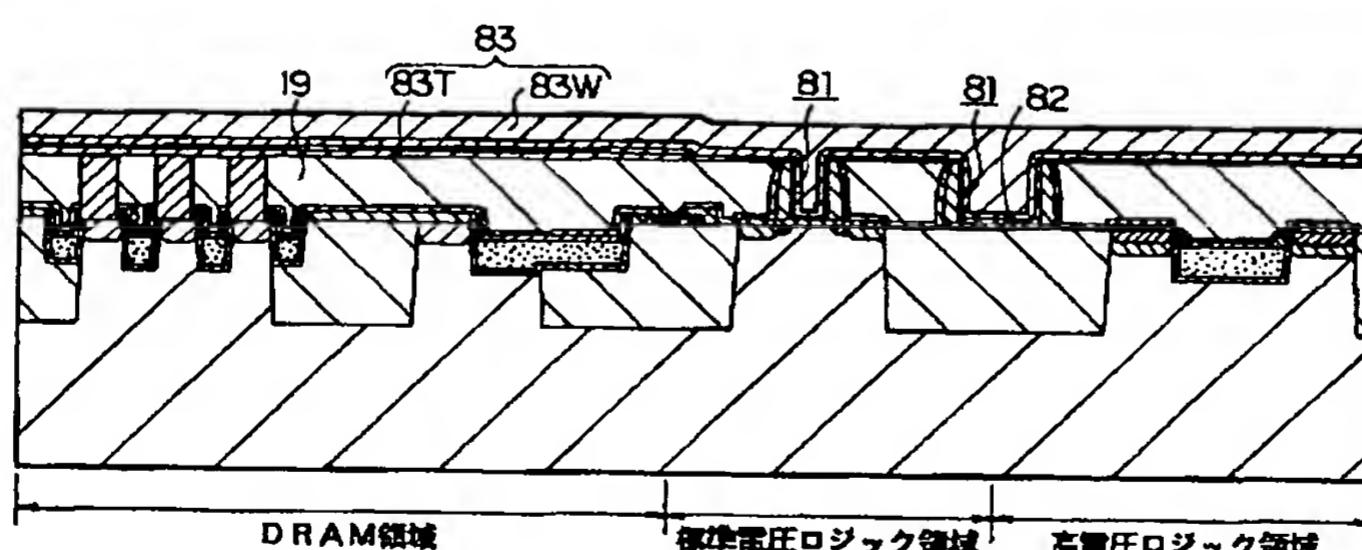
(17)

【図19】



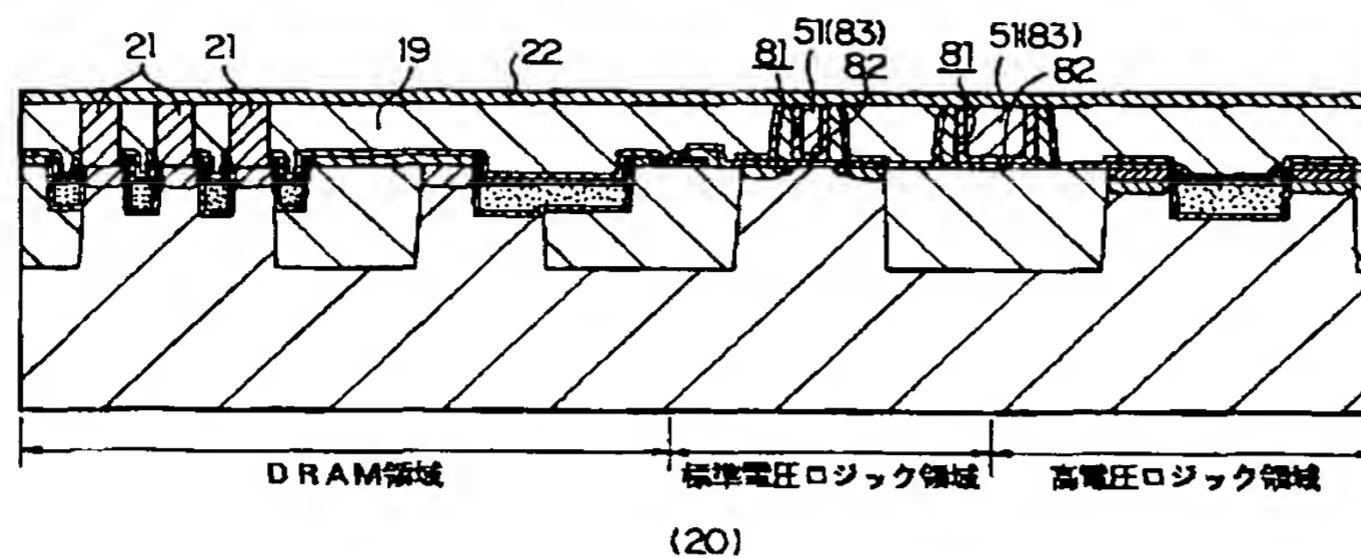
(18)

【図20】



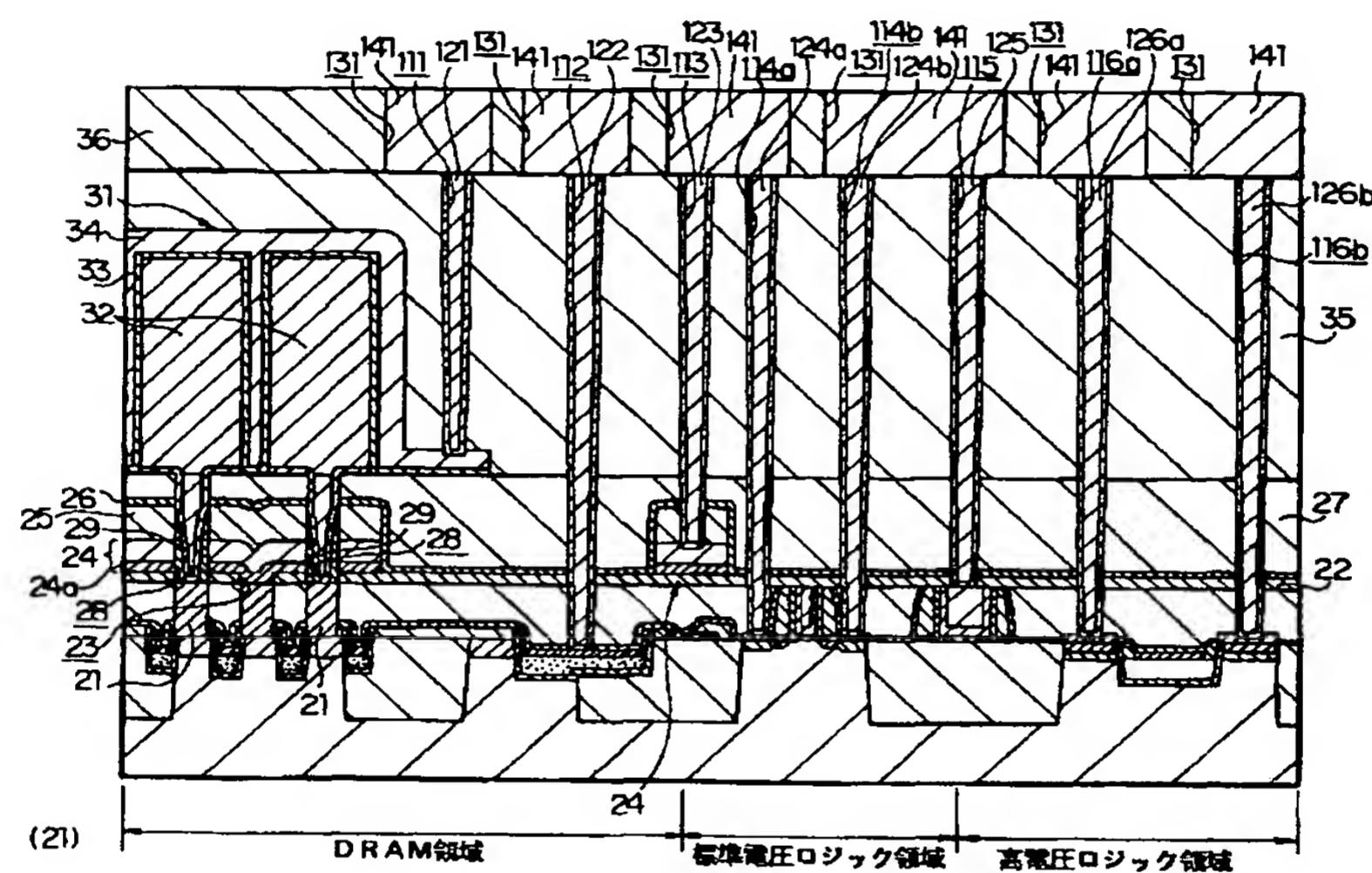
(19)

【図21】



(20)

【図22】



(21)